

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-135236

(43)公開日 平成7年(1995)5月23日

(51)Int.Cl.<sup>6</sup>

H 0 1 L 21/60

識別記号

庁内整理番号

3 1 1 R 6918-4M

F I

技術表示箇所

審査請求 未請求 請求項の数 1 O L (全 18 頁)

(21)出願番号

特願平5-279657

(22)出願日

平成5年(1993)11月9日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 大平 栄治

千葉県茂原市早野3300番地 株式会社日立

製作所電子デバイス事業部内

(72)発明者 石田 一博

千葉県茂原市早野3300番地 株式会社日立

製作所電子デバイス事業部内

(74)代理人 弁理士 秋田 収喜

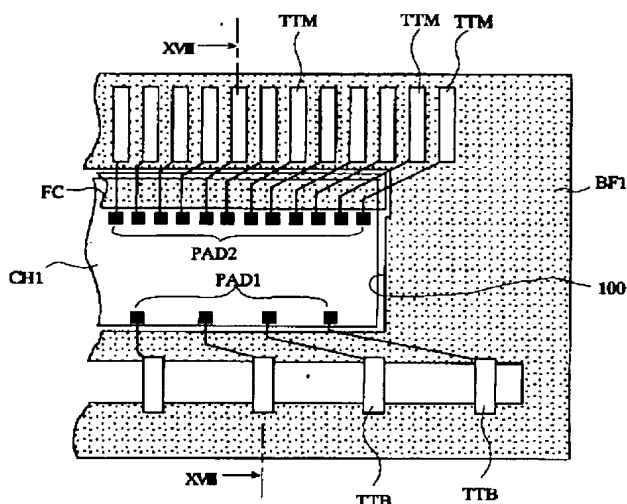
(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 小型化を図る。

【構成】 フレキシブル絶縁基板と、このフレキシブル絶縁基板に搭載される半導体チップとを備え、この半導体チップの主表面に一方向に並設された複数の電極パッドからなる電極パッド群が形成されているとともに、前記フレキシブル絶縁板面に該半導体チップの電極パッド群の各電極パッドにボンディングされて周辺部に外部取り出し端子として引き出される配線層群が形成されている半導体装置において、前記半導体チップの前記電極パッド群は該半導体チップの主表面のほぼ中央部に位置付けられている。

図 1



**【特許請求の範囲】**

**【請求項 1】** フレキシブル絶縁基板と、このフレキシブル絶縁基板に搭載される半導体チップとを備え、この半導体チップの主表面に一方向に並設された複数の電極パッドからなる電極パッド群が形成されているとともに、前記フレキシブル絶縁板面に該半導体チップの電極パッド群の各電極パッドにボンディングされて周辺部に外部取り出し端子として引き出される配線層群が形成されている半導体装置において、前記半導体チップの前記電極パッド群は該半導体チップの主表面のほぼ中央部に位置付けられていることを特徴とする半導体装置。

**【発明の詳細な説明】****【0001】**

**【産業上の利用分野】** 本発明は、半導体装置に係り、特に、いわゆるテープキャリア方式で製造される半導体装置の改良に関する。

**【0002】**

**【従来の技術】** いわゆるテープキャリア (Tape Carrier) 方式で製造される半導体装置は、大量生産に適しており、その構造においても他の種類の半導体装置より小型である等の特徴を有している。

**【0003】** すなわち、製造中においてはテープ状となって用いられるフレキシブル絶縁基板に、半導体チップがいわゆるフェースダウンされることによって搭載されている。

**【0004】** フレキシブル絶縁基板面には、該半導体チップの各電極パッドにボンディングされて周辺部に外部取り出し端子として引き出される配線層が形成されている。

**【0005】** そして、フレキシブル絶縁基板に搭載された半導体チップはたとえばポッティングされたレジンによって被覆されている。

**【0006】**

**【発明が解決しようとする課題】** しかしながら、このように構成される半導体装置は、さらなる小型化（平面的に観た面積の小型化）が要望されており、その実現が期待されていた。

**【0007】** それ故、本発明は、このような事情に基づいてなされたものであり、その目的は、さらに小型化を図った半導体装置を提供することにある。

**【0008】**

**【課題を解決するための手段】** このような目的を達成するために、本発明は、基本的には、フレキシブル絶縁基板と、このフレキシブル絶縁基板に搭載される半導体チップとを備え、この半導体チップの主表面に一方向に並設された複数の電極パッドからなる電極パッド群が形成されているとともに、前記フレキシブル絶縁板面に該半導体チップの電極パッド群の各電極パッドにボンディングされて周辺部に外部取り出し端子として引き出される

配線層群が形成されている半導体装置において、前記半導体チップの前記電極パッド群は該半導体チップの主表面のほぼ中央部に位置付けられていることを特徴とするものである。

**【0009】**

**【作用】** このように構成した半導体装置は、そのフレキシブル絶縁基板面に形成されている配線層群は、半導体チップの電極パッドにボンディングされる側はいわゆるインナーリードと称され、また、フレキシブル絶縁基板の周辺に位置づけられる外部端子側はいわゆるアウターリードと称される。

**【0010】** そして、各アウターリードの間隔は各インナーリードのそれと比較してかなり大きくなっていることから、アウターリードとインナーリードとの間に相当する配線層はたとえばアウターリードの延在方向に対して斜め方向に配置されることになる。

**【0011】** すると、この斜め方向に配置された各配線層間の加工上の最小幅（インナーリード間の幅よりも小さくなる）の設定によって、アウターリードとインナーリードとの間の最小幅が設定され、それ以下の幅にすることはできなくなる。

**【0012】** このことは、アウターリードを周辺に位置付けるフレキシブル絶縁基板の最小幅も設定され、それ以下の幅にすることができなくなることを意味する。

**【0013】** しかしながら、本発明は、半導体チップの電極パッド群を該半導体チップの主表面のほぼ中央部に位置付けたものとなっている。

**【0014】** このことは、配線層の配置における上述した規制があるにもかかわらず、該電極パッド群の位置をシフトさせた分だけ（半導体チップとフレキシブル絶縁基板との重畳部が生じることになるが）該フレキシブル絶縁基板の幅を小さくすることができるようになる。

**【0015】** したがって、半導体装置の小型化が図れるようになる。

**【0016】**

**【実施例】** 本発明、本発明の更に他の目的及び本発明の更に他の特徴は図面を参照した以下の説明から明らかとなるであろう。

**【0017】** 《アクティブ・マトリクス液晶表示装置》以下、アクティブ・マトリクス方式のカラー液晶表示装置にこの発明を適用した実施例を説明する。なお、以下説明する図面で、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

**【0018】** 《マトリクス部の概要》図 2 はこの発明が適用されるアクティブ・マトリクス方式カラー液晶表示装置の一面素とその周辺を示す平面図、図 3 は図 2 の 3-3 切断線における断面を示す図、図 4 は図 2 の 4-4 切断線における断面図である。

**【0019】** 図 2 に示すように、各画素は隣接する 2 本の走査信号線（ゲート信号線または水平信号線）G L

と、隣接する2本の映像信号線（ドレイン信号線または垂直信号線）DLとの交差領域内（4本の信号線で囲まれた領域内）に配置されている。各画素は薄膜トランジスタTFT、透明画素電極ITO1および保持容量素子Caddを含む。走査信号線GLは図では左右方向に延在し、上下方向に複数本配置されている。映像信号線DLは上下方向に延在し、左右方向に複数本配置されている。

【0020】図3に示すように、液晶層LCを基準にして下部透明ガラス基板SUB1側には薄膜トランジスタTFTおよび透明画素電極ITO1が形成され、上部透明ガラス基板SUB2側にはカラーフィルタFIL、遮光用ブラックマトリクスパターンBMが形成されている。透明ガラス基板SUB1、SUB2の両面にはディップ処理等によって形成された酸化シリコン膜SIOが設けられている。

【0021】上部透明ガラス基板SUB2の内側（液晶LC側）の表面には、遮光膜BM、カラーフィルタFIL、保護膜PSV2、共通透明画素電極ITO2（COM）および上部配向膜ORI2が順次積層して設けられている。

【0022】《マトリクス周辺の概要》図5は上下のガラス基板SUB1、SUB2を含む表示パネルPNLのマトリクス（AR）周辺の要部平面を、図6はその周辺部を更に誇張した平面を、図7は図5及び図6のパネル左上角部に対応するシール部SL付近の拡大平面を示す図である。また、図8は図3の断面を中央にして、左側に図7の8a-8a切断線における断面を、右側に映像信号駆動回路が接続されるべき外部接続端子DTM付近の断面を示す図である。同様に図9は、左側に走査回路が接続されるべき外部接続端子GTM付近の断面を、右側に外部接続端子が無いところのシール部付近の断面を示す図である。

【0023】このパネルの製造では、小さいサイズであればスループット向上のため1枚のガラス基板で複数個分のデバイスを同時に加工してから分割し、大きいサイズであれば製造設備の共用のためどの品種でも標準化された大きさのガラス基板を加工してから各品種に合ったサイズに小さくし、いずれの場合も一通りの工程を経てからガラスを切断する。図5～図7は後者の例を示すもので、図5、図6の両図とも上下基板SUB1、SUB2の切断後を、図7は切断前を表しており、LNは両基板の切断前の縁を、CT1とCT2はそれぞれ基板SUB1、SUB2の切断すべき位置を示す。いずれの場合も、完成状態では外部接続端子群Tg、Td（添字略）が存在する（図で上下辺と左辺の）部分はそれらを露出するように上側基板SUB2の大きさが下側基板SUB1よりも内側に制限されている。端子群Tg、Tdはそれぞれ後述する走査回路接続用端子GTM、映像信号回路接続用端子DTMとそれらの引出配線部を集積回路チ

ップCHIが搭載されたテープキャリアパッケージTCP（図18、図19）の単位に複数本まとめて名付けたものである。各群のマトリクス部から外部接続端子部に至るまでの引出配線は、両端に近づくにつれ傾斜している。これは、パッケージTCPの配列ピッチ及び各パッケージTCPにおける接続端子ピッチに表示パネルPNLの端子DTM、GTMを合わせるためである。

【0024】透明ガラス基板SUB1、SUB2の間にはその縁に沿って、液晶封入口INJを除き、液晶LCを封止するようにシールパターンSLが形成される。シール材は例えばエポキシ樹脂から成る。上部透明ガラス基板SUB2側の共通透明画素電極ITO2は、少なくとも一箇所において、本実施例ではパネルの4角で銀ペースト材AGPによって下部透明ガラス基板SUB1側に形成されたその引出配線INTに接続されている。この引出配線INTは後述するゲート端子GTM、ドレイン端子DTMと同一製造工程で形成される。

【0025】配向膜ORI1、ORI2、透明画素電極ITO1、共通透明画素電極ITO2、それぞれの層は、シールパターンSLの内側に形成される。偏光板POL1、POL2はそれぞれ下部透明ガラス基板SUB1、上部透明ガラス基板SUB2の外側の表面に形成されている。液晶LCは液晶分子の向きを設定する下部配向膜ORI1と上部配向膜ORI2との間でシールパターンSLで仕切られた領域に封入されている。下部配向膜ORI1は下部透明ガラス基板SUB1側の保護膜PSV1の上部に形成される。

【0026】この液晶表示装置は、下部透明ガラス基板SUB1側、上部透明ガラス基板SUB2側で別個に種々の層を積み重ね、シールパターンSLを基板SUB2側に形成し、下部透明ガラス基板SUB1と上部透明ガラス基板SUB2とを重ね合わせ、シール材SLの開口部INJから液晶LCを注入し、注入口INJをエポキシ樹脂などで封止し、上下基板を切断することによって組み立てられる。

【0027】《薄膜トランジスタTFT》次に、図2、図3に戻り、TFT基板SUB1側の構成を詳しく説明する。

【0028】薄膜トランジスタTFTは、ゲート電極GTに正のバイアスを印加すると、ソースドレイン間のチャネル抵抗が小さくなり、バイアスを零にすると、チャネル抵抗は大きくなるように動作する。

【0029】各画素には複数（2つ）の薄膜トランジスタTFT1、TFT2が冗長して設けられる。薄膜トランジスタTFT1、TFT2のそれぞれは、実質的に同一サイズ（チャネル長、チャネル幅が同じ）で構成され、ゲート電極GT、ゲート絶縁膜GI、i型（真性、intrinsic、導電型決定不純物がドーパされていない）非晶質シリコン（Si）からなるi型半導体層AS、一対のソース電極SD1、ドレイン電極SD2を有す。な

お、ソース、ドレインは本来その間のバイアス極性によって決まるもので、この液晶表示装置の回路ではその極性は動作中反転するので、ソース、ドレインは動作中入れ替わると理解されたい。しかし、以下の説明では、便宜上一方をソース、他方をドレインと固定して表現する。

【0030】《ゲート電極GT》ゲート電極GTは走査信号線GLから垂直方向に突出する形状で構成されている（T字形状に分岐されている）。ゲート電極GTは薄膜トランジスタTFT1、TFT2のそれぞれの能動領域を越えるよう突出している。薄膜トランジスタTFT1、TFT2のそれぞれのゲート電極GTは、一体に（共通のゲート電極として）構成されており、走査信号線GLに連続して形成されている。本例では、ゲート電極GTは、単層の第2導電膜g2で形成されている。第2導電膜g2としては例えばスパッタで形成されたアルミニウム（A1）膜が用いられ、その上にはA1の陽極酸化膜AOFが設けられている。

【0031】このゲート電極GTはi型半導体層ASを完全に覆うよう（下方からみて）それより大き目に形成され、i型半導体層ASに外光やバックライト光が当たらないよう工夫されている。

【0032】《走査信号線GL》走査信号線GLは第2導電膜g2で構成されている。この走査信号線GLの第2導電膜g2はゲート電極GTの第2導電膜g2と同一製造工程で形成され、かつ一体に構成されている。また、走査信号線GL上にもA1の陽極酸化膜AOFが設けられている。

【0033】《絶縁膜GI》絶縁膜GIは、薄膜トランジスタTFT1、TFT2において、ゲート電極GTと共に半導体層ASに電界を与えるためのゲート絶縁膜として使用される。絶縁膜GIはゲート電極GTおよび走査信号線GLの上層に形成されている。絶縁膜GIとしては例えばプラズマCVDで形成された窒化シリコン膜が選ばれ、1200～2700Åの厚さに（本実施例では、2000Å程度）形成される。ゲート絶縁膜GIは図7に示すように、マトリクス部ARの全体を囲むように形成され、周辺部は外部接続端子DTM、GTMを露出するよう除去されている。絶縁膜GIは走査信号線GLと映像信号線DLの電氣的絶縁にも寄与している。

【0034】《i型半導体層AS》i型半導体層ASは、本例では薄膜トランジスタTFT1、TFT2のそれぞれに独立した島となるよう形成され、非晶質シリコンで、200～2200Åの厚さに（本実施例では、2000Å程度の膜厚）で形成される。層d0はオーミックコンタクト用のリン（P）をドーブしたN（+）型非晶質シリコン半導体層であり、下側にi型半導体層ASが存在し、上側に導電層d2（d3）が存在するところのみに残されている。

【0035】i型半導体層ASは走査信号線GLと映像

信号線DLとの交差部（クロスオーバー部）の両者間にも設けられている。この交差部のi型半導体層ASは交差部における走査信号線GLと映像信号線DLとの短絡を低減する。

【0036】《透明画素電極ITO1》透明画素電極ITO1は液晶表示部の画素電極の一方を構成する。

【0037】透明画素電極ITO1は薄膜トランジスタTFT1のソース電極SD1および薄膜トランジスタTFT2のソース電極SD1の両方に接続されている。このため、薄膜トランジスタTFT1、TFT2のうちの1つに欠陥が発生しても、その欠陥が副作用をもたらす場合はレーザー光等によって適切な箇所を切断し、そうでない場合は他方の薄膜トランジスタが正常に動作しているので放置すれば良い。透明画素電極ITO1は第1導電膜d1によって構成されており、この第1導電膜d1はスパッタリングで形成された透明導電膜（Indium-Tin-Oxide ITO：ネサ膜）からなり、1000～2000Åの厚さに（本実施例では、1400Å程度の膜厚）形成される。

【0038】《ソース電極SD1、ドレイン電極SD2》ソース電極SD1、ドレイン電極SD2のそれぞれは、N（+）型半導体層d0に接触する第2導電膜d2とその上に形成された第3導電膜d3とから構成されている。

【0039】第2導電膜d2はスパッタで形成したクロム（Cr）膜を用い、500～1000Åの厚さに（本実施例では、600Å程度）で形成される。Cr膜は膜厚を厚く形成するとストレスが大きくなるので、2000Å程度の膜厚を越えない範囲で形成する。Cr膜はN（+）型半導体層d0との接着性を良好にし、第3導電膜d3のA1がN（+）型半導体層d0に拡散することを防止する（いわゆるバリア層の）目的で使用される。第2導電膜d2として、Cr膜の他に高融点金属（Mo、Ti、Ta、W）膜、高融点金属シリサイド（MoSi<sub>2</sub>、TiSi<sub>2</sub>、TaSi<sub>2</sub>、WSi<sub>2</sub>）膜を用いてもよい。

【0040】第3導電膜d3はA1のスパッタリングで3000～5000Åの厚さに（本実施例では、4000Å程度）形成される。A1膜はCr膜に比べてストレスが小さく、厚い膜厚に形成することが可能で、ソース電極SD1、ドレイン電極SD2および映像信号線DLの抵抗値を低減したり、ゲート電極GTやi型半導体層ASに起因する段差乗り越えを確実にする（ステップカバーレッジを良くする）働きがある。

【0041】第2導電膜d2、第3導電膜d3を同じマスクパターンでパターンニングした後、同じマスクを用いて、あるいは第2導電膜d2、第3導電膜d3をマスクとして、N（+）型半導体層d0が除去される。つまり、i型半導体層AS上に残っていたN（+）型半導体層d0は第2導電膜d2、第3導電膜d3以外の部分がセルフ

アラインで除去される。このとき、N(+)型半導体層d0はその厚さは全て除去されるようエッチングされるので、i型半導体層ASも若干その表面部分がエッチングされるが、その程度はエッチング時間で制御すればよい。

【0042】《映像信号線DL》映像信号線DLはソース電極SD1、ドレイン電極SD2と同層の第2導電膜d2、第3導電膜d3で構成されている。

【0043】《保護膜PSV1》薄膜トランジスタTFTおよび透明画素電極ITO1上には保護膜PSV1が設けられている。保護膜PSV1は主に薄膜トランジスタTFTを湿気等から保護するために形成されており、透明性が高くしかも耐湿性の良いものを使用する。保護膜PSV1はたとえばプラズマCVD装置で形成した酸化シリコン膜や窒化シリコン膜で形成されており、1 $\mu$ m程度の膜厚で形成する。

【0044】保護膜PSV1は図7に示すように、マトリクス部ARの全体を囲むように形成され、周辺部は外部接続端子DTM、GTMを露出するよう除去され、また上基板側SUB2の共通電極COMを下側基板SUB1の外部接続端子接続引出配線INTに銀ペーストAGPで接続する部分も除去されている。保護膜PSV1とゲート絶縁膜GIの厚さ関係に関しては、前者は保護効果を考え厚くされ、後者はトランジスタの相互コンダクタンスgmを薄くされる。従って図7に示すように、保護効果の高い保護膜PSV1は周辺部もできるだけ広い範囲に亘って保護するようゲート絶縁膜GIよりも大きく形成されている。

【0045】《遮光膜BM》上部透明ガラス基板SUB2側には、外部光又はバックライト光がi型半導体層ASに入射しないよう遮光膜BMが設けられている。図2に示す遮光膜BMの閉じた多角形の輪郭線は、その内側が遮光膜BMが形成されない開口を示している。遮光膜BMは光に対する遮蔽性が高いたえばアルミニウム膜やクロム膜等で形成されており、本実施例ではクロム膜がスパッタリングで1300Å程度の厚さに形成される。

【0046】従って、薄膜トランジスタTFT1、TFT2のi型半導体層ASは上下にある遮光膜BMおよび大きなゲート電極GTによってサンドイッチにされ、外部の自然光やバックライト光が当たらなくなる。遮光膜BMは各画素の周囲に格子状に形成され（いわゆるブラックマトリクス）、この格子で1画素の有効表示領域が仕切られている。従って、各画素の輪郭が遮光膜BMによってはっきりとし、コントラストが向上する。つまり、遮光膜BMはi型半導体層ASに対する遮光とブラックマトリクスとの2つの機能をもつ。

【0047】透明画素電極ITO1のラビング方向の根本側のエッジ部分（図2右下部分）も遮光膜BMによって遮光されているので、上記部分にドメインが発生した

としても、ドメインが見えないので、表示特性が劣化することはない。

【0048】遮光膜BMは図6に示すように周辺部にも額縁状に形成され、そのパターンはドット状に複数の開口を設けた図2に示すマトリクス部のパターンと連続して形成されている。周辺部の遮光膜BMは図6～図9に示すように、シール部SLの外側に延長され、パソコン等の実装機に起因する反射光等の漏れ光がマトリクス部に入り込むのを防いでいる。他方、この遮光膜BMは基板SUB2の縁よりも約0.3～1.0mm程内側に留められ、基板SUB2の切断領域を避けて形成されている。

【0049】《カラーフィルタFIL》カラーフィルタFILは画素に対向する位置に赤、緑、青の繰り返しでストライプ状に形成される。カラーフィルタFILは透明画素電極ITO1の全てを覆うように大き目に形成され、遮光膜BMはカラーフィルタFILおよび透明画素電極ITO1のエッジ部分と重なるよう透明画素電極ITO1の周縁部より内側に形成されている。

【0050】カラーフィルタFILは次のように形成することができる。まず、上部透明ガラス基板SUB2の表面にアクリル系樹脂等の染色基材を形成し、フォトリソグラフィ技術で赤色フィルタ形成領域以外の染色基材を除去する。この後、染色基材を赤色染料で染め、固着処理を施し、赤色フィルタRを形成する。つぎに、同様な工程を施すことによって、緑色フィルタG、青色フィルタBを順次形成する。

【0051】《保護膜PSV2》保護膜PSV2はカラーフィルタFILの染料が液晶LCに漏れることを防止するために設けられている。保護膜PSV2はたとえばアクリル樹脂、エポキシ樹脂等の透明樹脂材料で形成されている。

【0052】《共通透明画素電極ITO2》共通透明画素電極ITO2は、下部透明ガラス基板SUB1側に画素ごとに設けられた透明画素電極ITO1に対向し、液晶LCの光学的な状態は各画素電極ITO1と共通透明画素電極ITO2との間の電位差（電界）にตอบสนองして変化する。この共通透明画素電極ITO2にはコモン電圧Vcomが印加されるように構成されている。本実施例では、コモン電圧Vcomは映像信号線DLに印加される最小レベルの駆動電圧Vdminと最大レベルの駆動電圧Vdmaxとの中間直流電位に設定されるが、映像信号駆動回路で使用される集積回路の電源電圧を約半分に低減したい場合は、交流電圧を印加すれば良い。なお、共通透明画素電極ITO2の平面形状は図6、図7を参照されたい。

【0053】《保持容量素子Caddの構造》透明画素電極ITO1は、薄膜トランジスタTFTと接続される端部と反対側の端部において、隣りの走査信号線GLと重なるように形成されている。この重ね合わせは、図4か

らも明らかなように、透明画素電極ITO1を一方の電極PL2とし、隣りの走査信号線GLを他方の電極PL1とする保持容量素子（静電容量素子）Caddを構成する。この保持容量素子Caddの誘電体膜は、薄膜トランジスタTFTのゲート絶縁膜として使用される絶縁膜GIおよび陽極酸化膜AOFで構成されている。

【0054】保持容量素子Caddは走査信号線GLの第2導電膜g2の幅を広げた部分に形成されている。なお、映像信号線DLと交差する部分の第2導電膜g2は映像信号線DLとの短絡の確率を小さくするため細くされている。

【0055】保持容量素子Caddの電極PL1の段差部において透明画素電極ITO1が断線しても、その段差をまたがるように形成された第2導電膜d2および第3導電膜d3で構成された島領域によってその不良は補償される。

【0056】《ゲート端子部》図10は表示マトリクス走査信号線GLからその外部接続端子GTMまでの接続構造を示す図であり、(A)は平面であり(B)は(A)のB-B切断線における断面を示している。なお、同図は図7下方付近に対応し、斜め配線の部分は便宜状一直線状で表した。

【0057】AOは写真処理用のマスクパターン、言い換えれば選択的陽極酸化のホトレジストパターンである。従って、このホトレジストは陽極酸化後除去され、図に示すパターンAOは完成品としては残らないが、ゲート配線GLには断面図に示すように酸化膜AOFが選択的に形成されるのでその軌跡が残る。平面図において、ホトレジストの境界線AOを基準にして左側はレジストで覆い陽極酸化をしない領域、右側はレジストから露出され陽極酸化される領域である。陽極酸化されたAL層g2は表面にその酸化物 $Al_2O_3$ 膜AOFが形成され下方の導電部は体積が減少する。勿論、陽極酸化はその導電部が残るように適切な時間、電圧などを設定して行われる。マスクパターンAOは走査線GLに単一の直線では交差せず、クランク状に折れ曲がって交差させている。

【0058】図中AL層g2は、判り易くするためハッチを施してあるが、陽極化成されない領域は櫛状にパターンニングされている。これは、AL層の幅が広いと表面にホイスカが発生するので、1本1本の幅は狭くし、それらを複数本並列に束ねた構成とすることにより、ホイスカの発生を防ぎつつ、断線の確率や導電率の犠牲を最低限に押さえる狙いである。従って、本例では櫛の根本に相当する部分もマスクAOに沿ってずらしている。

【0059】ゲート端子GTMは酸化珪素SIO層と接着性が良くAl等よりも耐電触性の高いCr層g1と、更にその表面を保護し画素電極ITO1と同レベル（同層、同時形成）の透明導電層d1とで構成されている。なお、ゲート絶縁膜GI上及びその側面部に形成された

導電層d2及びd3は、導電層d3やd2のエッチング時ピンホール等が原因で導電層g2やg1と一緒にエッチングされないようその領域をホトレジストで覆っていた結果として残っているものである。又、ゲート絶縁膜GIを乗り越えて右方向に延長されたITO層d1は同様な対策を更に万全とさせたものである。

【0060】平面図において、ゲート絶縁膜GIはその境界線よりも右側に、保護膜PSV1もその境界線よりも右側に形成されており、左端に位置する端子部GTMはそれらから露出し外部回路との電氣的接触ができるようになっている。図では、ゲート線GLとゲート端子の一つの対のみが示されているが、実際はこのような対が図7に示すように上下に複数本並べられ端子群Tg（図6、図7）が構成され、ゲート端子の左端は、製造過程では、基板の切断領域CT1を越えて延長され配線SHgによって短絡される。製造過程におけるこのような短絡線SHgは陽極化成時の給電と、配向膜ORI1のラビング時等の静電破壊防止に役立つ。

【0061】《ドレイン端子DTM》図11は映像信号線DLからその外部接続端子DTMまでの接続を示す図であり、(A)はその平面を示し、(B)は(A)のB-B切断線における断面を示す。なお、同図は図7右上付近に対応し、図面の向きは便宜上変えてあるが右端方向が基板SUB1の上端部（又は下端部）に該当する。

【0062】TSTdは検査端子でありここには外部回路は接続されないが、プローブ針等を接触できるよう配線部より幅が広がられている。同様に、ドレイン端子DTMも外部回路との接続ができるよう配線部より幅が広がられている。検査端子TSTdと外部接続ドレイン端子DTMは上下方向に千鳥状に複数交互に配列され、検査端子TSTdは図に示すとおり基板SUB1の端部に到達することなく終端しているが、ドレイン端子DTMは、図7に示すように端子群Td（添字省略）を構成し基板SUB1の切断線CT1を越えて更に延長され、製造過程では静電破壊防止のためその全てが互いに配線SHdによって短絡される。検査端子TSTdが存在する映像信号線DLのマトリクスを挟んで反対側にはドレイン接続端子が接続され、逆にドレイン接続端子DTMが存在する映像信号線DLのマトリクスを挟んで反対側には検査端子が接続される。

【0063】ドレイン接続端子DTMは前述したゲート端子GTMと同様な理由でCr層g1及びITO層d1の2層で形成されており、ゲート絶縁膜GIを除去した部分で映像信号線DLと接続されている。ゲート絶縁膜GIの端部上に形成された半導体層ASはゲート絶縁膜GIの縁をテーパ状にエッチングするためのものである。端子DTM上では外部回路との接続を行うため保護膜PSV1は勿論のこと取り除かれている。AOは前述した陽極酸化マスクでありその境界線はマトリクス全体を大きく囲むように形成され、図ではその境界線から

左側がマスクで覆われるが、この図で覆われない部分には層g 2が存在しないのでこのパターンは直接は関係しない。

【0064】マトリクス部からドレイン端子部DTMまでの引出配線は図8の(C)部にも示されるように、ドレイン端子部DTMと同じレベルの層d 1, g 1のすぐ上に映像信号線DLと同じレベルの層d 2, d 3がシールパターンSLの途中まで積層された構造になっているが、これは断線の確率を最小限に押さえ、電触し易いA 1層d 3を保護膜PSV 1やシールパターンSLでできるだけ保護する狙いである。

【0065】《表示装置全体等価回路》表示マトリクス部の等価回路とその周辺回路の結線図を図12に示す。同図は回路図ではあるが、実際の幾何学的配置に対応して描かれている。ARは複数の画素を二次元状に配列したマトリクス・アレイである。

【0066】図中、Xは映像信号線DLを意味し、添字G、BおよびRがそれぞれ緑、青および赤画素に対応して付加されている。Yは走査信号線GLを意味し、添字1, 2, 3, ..., endは走査タイミングの順序に従って付加されている。

【0067】映像信号線X(添字省略)は交互に上側(または奇数)映像信号駆動回路He、下側(または偶数)映像信号駆動回路Hoに接続されている。

【0068】走査信号線Y(添字省略)は垂直走査回路Vに接続されている。

【0069】SUPは1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路やホスト(上位演算処理装置)からのCRT(陰極線管)用の情報をTFT液晶表示装置用の情報に交換する回路を含む回路である。

【0070】《保持容量素子Caddの働き》保持容量素子Caddは、薄膜トランジスタTFTがスイッチングするとき、中点電位(画素電極電位)Vlcに対するゲート電位変化 $\Delta Vg$ の影響を低減するように働く。この様子を式で表すと、次のようになる。

【0071】

$$\Delta Vlc = \{Cgs / (Cgs + Cadd + Cpix)\} \times \Delta Vg$$

ここで、Cgsは薄膜トランジスタTFTのゲート電極GTとソース電極SD 1との間に形成される寄生容量、Cpixは透明画素電極ITO 1(PIX)と共通透明画素電極ITO 2(COM)との間に形成される容量、 $\Delta Vlc$ は $\Delta Vg$ による画素電極電位の変化分を表わす。この変化分 $\Delta Vlc$ は液晶LCに加わる直流成分の原因となるが、保持容量Caddを大きくすればする程、その値を小さくすることができる。また、保持容量素子Caddは放電時間を長くする作用もあり、薄膜トランジスタTFTがオフした後の映像情報を長く蓄積する。液晶LCに印加される直流成分の低減は、液晶LCの寿命を向上し、液晶表示画面の切り替え時に前の画像が残るいわゆる焼

き付きを低減することができる。

【0072】前述したように、ゲート電極GTはi型半導体層ASを完全に覆うよう大きくされている分、ソース電極SD 1、ドレイン電極SD 2とのオーバーラップ面積が増え、従って寄生容量Cgsが大きくなり、中点電位Vlcはゲート(走査)信号Vgの影響を受け易くなるという逆効果が生じる。しかし、保持容量素子Caddを設けることによりこのデメリットも解消することができる。

【0073】保持容量素子Caddの保持容量は、画素の書込特性から、液晶容量Cpixに対して4~8倍( $4 \cdot Cpix < Cadd < 8 \cdot Cpix$ )、寄生容量Cgsに対して8~32倍( $8 \cdot Cgs < Cadd < 32 \cdot Cgs$ )程度の値に設定する。

【0074】保持容量電極線としてのみ使用される初段の走査信号線GL(Y<sub>0</sub>)は共通透明画素電極ITO 2(Vcom)と同じ電位にする。図7の例では、初段の走査信号線は端子GT 0、引出線INT、端子DT 0及び外部配線を通じて共通電極COMに短絡される。或いは、初段の保持容量電極線Y<sub>0</sub>は最終段の走査信号線Y<sub>end</sub>に接続、Vcom以外の直流電位点(交流接地点)に接続するかまたは垂直走査回路Vから1つ余分に走査パルスY<sub>0</sub>を受けるように接続してもよい。

【0075】《製造方法》つぎに、上述した液晶表示装置の基板SUB 1側の製造方法について図13~図15を参照して説明する。なお同図において、中央の文字は工程名の略称であり、左側は図3に示す画素部分、右側は図10に示すゲート端子付近の断面形状でみた加工の流れを示す。工程Dを除き工程A~工程Iは各写真処理に対応して区分けしたもので、各工程のいずれの断面図も写真処理後の加工が終わりフォトレジストを除去した段階を示している。なお、写真処理とは本説明ではフォトレジストの塗布からマスクを使用した選択露光を経てそれを現像するまでの一連の作業を示すものとし、繰返しの説明は避ける。以下区分けした工程に従って、説明する。

【0076】工程A、図13

7059ガラス(商品名)からなる下部透明ガラス基板SUB 1の両面に酸化シリコン膜SIOをディップ処理により設けたのち、500℃、60分間のバークを行なう。下部透明ガラス基板SUB 1上に膜厚が1100Åのクロムからなる第1導電膜g 1をスパッタリングにより設け、写真処理後、エッチング液として硝酸第2セリウムアンモニウム溶液で第1導電膜g 1を選択的にエッチングする。それによって、ゲート端子GT M、ドレイン端子DT M、ゲート端子GT Mを接続する陽極酸化バスラインSH g、ドレイン端子DT Mを短絡するバスラインSH d、陽極酸化バスラインSH gに接続された陽極酸化パッド(図示せず)を形成する。

【0077】工程B、図13

膜厚が $2800\text{Å}$ の $\text{Al-Pd}$ 、 $\text{Al-Si}$ 、 $\text{Al-Si-Ti}$ 、 $\text{Al-Si-Cu}$ 等からなる第2導電膜 $g_2$ をスパッタリングにより設ける。写真処理後、リン酸と硝酸と氷酢酸との混酸液で第2導電膜 $g_2$ を選択的にエッチングする。

#### 【0078】工程C、図13

写真処理後（前述した陽極酸化マスク $\text{AO}$ 形成後）、3%酒石酸をアンモニアにより $\text{PH}6.25 \pm 0.05$ に調整した溶液をエチレングリコール液で1:9に希釈した液からなる陽極酸化液中に基板 $\text{SUB1}$ を浸漬し、化成電流密度が $0.5\text{mA}/\text{cm}^2$ になるように調整する（定電流化成）。次に所定の $\text{Al}_2\text{O}_3$ 膜厚が得られるのに必要な化成電圧 $125\text{V}$ に達するまで陽極酸化を行う。その後この状態で数10分保持することが望ましい（定電圧化成）。これは均一な $\text{Al}_2\text{O}_3$ 膜を得る上で大事なことである。それによって、導電膜 $g_2$ を陽極酸化され、走査信号線 $\text{GL}$ 、ゲート電極 $\text{GT}$ および電極 $\text{PL1}$ 上に膜厚が $1800\text{Å}$ の陽極酸化膜 $\text{AOF}$ が形成される。

#### 【0079】工程D、図14

プラズマ $\text{CVD}$ 装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が $2000\text{Å}$ の窒化 $\text{Si}$ 膜を設け、プラズマ $\text{CVD}$ 装置にシランガス、水素ガスを導入して、膜厚が $2000\text{Å}$ の $i$ 型非晶質 $\text{Si}$ 膜を設けたのち、プラズマ $\text{CVD}$ 装置に水素ガス、ホスフィンガスを導入して、膜厚が $300\text{Å}$ の $\text{N}(+)$ 型非晶質 $\text{Si}$ 膜を設ける。

#### 【0080】工程E、図14

写真処理後、ドライエッチングガスとして $\text{SF}_6$ 、 $\text{CCl}_4$ を使用して $\text{N}(+)$ 型非晶質 $\text{Si}$ 膜、 $i$ 型非晶質 $\text{Si}$ 膜を選択的にエッチングすることにより、 $i$ 型半導体層 $\text{AS}$ の島を形成する。

#### 【0081】

#### 工程F、図14

写真処理後、ドライエッチングガスとして $\text{SF}_6$ を使用して、窒化 $\text{Si}$ 膜を選択的にエッチングする。

#### 【0082】工程G、図15

膜厚が $1400\text{Å}$ の $\text{ITO}$ 膜からなる第1導電膜 $d_1$ をスパッタリングにより設ける。写真処理後、エッチング液として塩酸と硝酸との混酸液で第1導電膜 $d_1$ を選択的にエッチングすることにより、ゲート端子 $\text{GTM}$ 、ドレイン端子 $\text{DTM}$ の最上層および透明画素電極 $\text{ITO1}$ を形成する。

#### 【0083】工程H、図15

膜厚が $600\text{Å}$ の $\text{Cr}$ からなる第2導電膜 $d_2$ をスパッタリングにより設け、さらに膜厚が $4000\text{Å}$ の $\text{Al-Pd}$ 、 $\text{Al-Si}$ 、 $\text{Al-Si-Ti}$ 、 $\text{Al-Si-Cu}$ 等からなる第3導電膜 $d_3$ をスパッタリングにより設ける。写真処理後、第3導電膜 $d_3$ を工程Bと同様な液でエッチングし、第2導電膜 $d_2$ を工程Aと同様な液でエッチングし、映像信号線 $\text{DL}$ 、ソース電極 $\text{SD1}$ 、ド

レイン電極 $\text{SD2}$ を形成する。つぎに、ドライエッチング装置に $\text{CCl}_4$ 、 $\text{SF}_6$ を導入して、 $\text{N}(+)$ 型非晶質 $\text{Si}$ 膜をエッチングすることにより、ソースとドレイン間の $\text{N}(+)$ 型半導体層 $d_0$ を選択的に除去する。

#### 【0084】工程I、図15

プラズマ $\text{CVD}$ 装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が $1\mu\text{m}$ の窒化 $\text{Si}$ 膜を設ける。写真処理後、ドライエッチングガスとして $\text{SF}_6$ を使用した写真蝕刻技術で窒化 $\text{Si}$ 膜を選択的にエッチングすることによって、保護膜 $\text{PSV1}$ を形成する。

【0085】《液晶表示モジュールの全体構成》図16は、液晶表示モジュール $\text{MDL}$ の各構成部品を示す分解斜視図である。

【0086】 $\text{SHD}$ は金属板から成る枠状のシールドケース（メタルフレーム）、 $\text{LCW}$ その表示窓、 $\text{PNL}$ は液晶表示パネル、 $\text{SPB}$ は光拡散板、 $\text{MFR}$ は中間フレーム、 $\text{BL}$ はバックライト、 $\text{BLS}$ はバックライト支持体、 $\text{LCA}$ は下側ケースであり、図に示すような上下の配置関係で各部材が積み重ねられてモジュール $\text{MDL}$ が組み立てられる。

【0087】モジュール $\text{MDL}$ は、シールドケース $\text{SHD}$ に設けられた爪 $\text{CL}$ とフック $\text{FK}$ によって全体が固定されるようになっている。

【0088】中間フレーム $\text{MFR}$ は表示窓 $\text{LCW}$ に対応する開口が設けられるように枠状に形成され、その枠部分には拡散板 $\text{SPB}$ 、バックライト支持体 $\text{BLS}$ 並びに各種回路部品の形状や厚みに応じた凹凸や、放熱用の開口が設けられている。

【0089】下側ケース $\text{LCA}$ はバックライト光の反射体も兼ねており、効率のよい反射ができるよう、蛍光管 $\text{BL}$ に対応して反射山 $\text{RM}$ が形成されている。

【0090】《表示パネル $\text{PNL}$ と駆動回路基板 $\text{PCB1}$ 》図17は、図5等にした表示パネル $\text{PNL}$ に映像信号駆動回路 $\text{He}$ 、 $\text{Ho}$ と垂直走査回路 $\text{V}$ を接続した状態を示す上面図である。

【0091】 $\text{CHI}$ は表示パネル $\text{PNL}$ を駆動させる駆動 $\text{IC}$ チップ（下側の3個は垂直走査回路側の駆動 $\text{IC}$ チップ、左右の6個ずつは映像信号駆動回路側の駆動 $\text{IC}$ チップ）である。 $\text{TCP}$ は図18、図19で後述するように駆動用 $\text{IC}$ チップ $\text{CHI}$ がテープ・オートメイト・ボンディング法（ $\text{TAB}$ ）により実装されたテープキャリアパッケージ、 $\text{PCB1}$ は上記 $\text{TCP}$ やコンデンサ $\text{CDS}$ 等が実装された駆動回路基板で、3つに分割されている。 $\text{FGP}$ はフレームグラウンドパッドであり、シールドケース $\text{SHD}$ に切り込んで設けられたバネ状の破片 $\text{FG}$ が半田付けされる。 $\text{FC}$ は下側の駆動回路基板 $\text{PCB1}$ と左側の駆動回路基板 $\text{PCB1}$ 、および下側の駆動回路基板 $\text{PCB1}$ と右側の駆動回路基板 $\text{PCB1}$ とを電氣的に接続するフラットケーブルである。フラットケーブル $\text{FC}$ としては図に示すように、複数のリード線



(りん青銅の素材にSn鍍金を施したもの)をストライプ状のポリエチレン層とポリビニルアルコール層とでサンドイッチして支持したものを使用する。

【0092】《TCPの接続構造》図18は走査信号駆動回路Vや映像信号駆動回路He、Hoを構成する、集積回路チップCHIがフレキシブル配線基板に搭載されたテープキャリアパッケージTCPの断面構造を示す図であり、図19はそれを液晶表示パネルの、本例では映像信号回路用端子DTMに接続した状態を示す要部断面図である。

【0093】なお、図18は後述する図1のXVIII-XVII線における断面図に相当しているものである。

【0094】同図において、TTBは集積回路CHIの入力端子・配線部であり、TTMは集積回路CHIの出力端子・配線部であり、例えばCuから成り、それぞれの内側の先端部(通称インナーリード)には集積回路CHIのボンディングパッドPADがいわゆるフェースダウンボンディング法により接続される。端子TTB、TTMの外側の先端部(通称アウターリード)はそれぞれ半導体集積回路チップCHIの入力及び出力に対応し、半田付け等によりCRT/TFT変換回路・電源回路SUPに、異方性導電膜ACFによって液晶表示パネルPNLに接続される。パッケージTCPは、その先端部がパネルPNL側の接続端子DTMを露出した保護膜PSV1を覆うようにパネルに接続されており、従って、外部接続端子DTM(GTM)は保護膜PSV1がパッケージTCPの少なくとも一方で覆われるので電触に対して強くなる。

【0095】BF1はポリイミド等からなるベースフィルムであり、SR5は半田付けの際半田が余計なところへつかないようにマスクするためのソルダレジスト膜である。シールパターンSLの外側の上下ガラス基板の間は洗浄後エポキシ樹脂EPX等により保護され、パッケージTCPと上側基板SUB2の間には更にシリコン樹脂SILが充填され保護が多重化されている。

【0096】ここで、図1は、前記パッケージTCPの平面図を示すもので、図18に示した樹脂膜PREは省略している。

【0097】図1において、ベースフィルムBF1があり、半導体集積回路チップCHIが位置づけられる領域に孔100が形成されている。

【0098】ここで、半導体集積回路チップCHIは、そのボンディングパッドPADにおいて、入力端子側のパッド群PAD1と出力端子側のパッド群PAD2とが形成されている。

【0099】このうち、パッド群PAD1の各パッドの数は少なく、それらの離間距離も大きくなっている。また、パッド群PAD2の各パッドの数は多く、それらの離間距離も小さくなっている。そして、パッド群PAD1は半導体集積回路チップCHI面の一辺に沿ってか

つ近接して配置されている。またパッド群1はその対辺側に位置付けられ、かつ該辺から遠ざかった位置、すなわち半導体集積回路チップCHIのほぼ中央部に位置付けられている。

【0100】半導体集積回路CHIのパッド群PAD1は、その各パッドがベースフィルムBF1の表面に形成された配線層のうちインナーリードと称される先端部分においてボンディングされており、該配線層の他端であるアウターリードは出力端子TTBとしてベースフィルムBF1の一辺部に配設されている。

【0101】また、パッド群PAD2も同様に、その各パッドがベースフィルムBF1の表面に形成された配線層のうちインナーリードと称される先端部分においてボンディングされており、該配線層の他端であるアウターリードは出力端子TTMとしてベースフィルムBF1の一辺部に配設されている。

【0102】なお、パッド群PAD2が形成されている側の半導体集積回路CHIの一辺部と該パッド群PAD2との間には、フィルム片FCが配置され、このフィルム片FCによって半導体集積回路CHIの主表面と配線層との間の絶縁保護を図っている。

【0103】次に、上述したようにパッド群PAD2が半導体集積回路チップCHIの表面の略中央に位置付けられているための技術的効果を以下説明する。

【0104】図21は、パッド群PAD2と出力端子TTMとそれらの間に位置づけられる配線の位置関係を示した図である。

【0105】同図において、パッド群PAD2の各パッドの離間距離をT、たとえばN本からなる各出力端子TTMの離間距離をU、それらの間の配線ピッチをGとした際に、前記配線の高さ、すなわちパッド群PAD2と出力端子(群)TTMとの離間距離Hは次の関係を示すようになる。

$$【0106】H = (N/2 - 1/4) \cdot (U - T) \tan(\sin(G/U))$$

そして、このHは上式で定まる最小値であり、それ以上に幅を狭めることはできなかったものである。

【0107】それ故、パッド群PAD2の配設位置を半導体集積回路CHIの一辺部から中央の方向へIの分だけシフトさせることによって、それに相当する長さ分だけベースフィルムBF1の幅を小さくすることができることになる。

【0108】したがって、パッケージTCP自体を小型化することができるようになる。

【0109】そして、このようにパッケージTCPを小型化できるようになると、液晶表示パネルPNLの周辺、すなわち表示に寄与しないスペースの領域(通称、枠と称している)を小さくすることができるという効果を奏することになる。

【0110】なお、上述した実施例では、パッド群PA

D群PAD2を半導体集積回路CH1表面のほぼ中央に位置付けた記載としてもものであるが、たとえば図21に示すように、半導体集積回路CH1の幅をWとすると、その一辺部から $L \geq 1/4W$ の関係を有して離間されていれば効果的であることが判明している。

【0111】上述した実施例では、互いに対向配置されるパッド群PAD1、PAD2のうち、その一方のパッド群PAD2のみを半導体集積回路CH1の略中央に位置付けたものであるが、これに限定されることはなく、パッド群PAD1においても同様にしてもよいことはいうまでもない。

【0112】《駆動回路基板PCB2》中間フレームMFRに保持・収納される液晶表示部LCDの駆動回路基板PCB2は、図31に示すように、L字形をしており、IC、コンデンサ、抵抗等の電子部品が搭載されている。この駆動回路基板PCB2には、1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路や、ホスト（上位演算処理装置）からのCRT（陰極線管）用の情報をTFT液晶表示装置用の情報に変換する回路を含む回路SUPが搭載されている。CJは外部と接続される図示しないコネクタが接続されるコネクタ接続部である。駆動回路基板PCB2とインバータ回路基板PCB3とはバックライトケーブルにより中間フレームMFRに設けたコネクタ穴を介して電氣的に接続される。

【0113】駆動回路基板PCB1と駆動回路基板PCB2とは折り曲げ可能なフラットケーブルFCにより電氣的に接続されている。組立て時、駆動回路基板PCB2は、フラットケーブルFCを180°折り曲げることでより駆動回路基板PCB1の裏側に重ねられ、中間フレームMFRの所定の凹部に嵌合される。

【0114】

【発明の効果】以上説明したことから明らかなように、本発明による半導体装置によれば、さらにその小型化を図ることができるようになる。

【図面の簡単な説明】

【図1】本発明による半導体装置の一実施例を示す平面図である。

【図2】この発明が適用されるアクティブ・マトリックス方式のカラー液晶表示装置の液晶表示部の一画素とその周辺を示す要部平面図である。

【図3】図2の3-3切断線における1画素とその周辺を示す断面図である。

【図4】図2の4-4切断線における付加容量Caddの断面図である。

【図5】表示パネルのマトリクス周辺部の構成を説明するための平面図である。

【図6】図5の周辺部をやや誇張し更に具体的に説明するためのパネル平面図である。

【図7】上下基板の電氣的接続部を含む表示パネルの角

部の拡大平面図である。

【図8】マトリクスの画素部を中央に、両側にパネル角付近と映像信号端子部付近を示す断面図である。

【図9】左側に走査信号端子、右側に外部接続端子の無いパネル縁部分を示す断面図である。

【図10】ゲート端子GTMとゲート配線GLの接続部付近を示す平面と断面の図である。

【図11】ドレイン端子DTMと映像信号線DLとの接続部付近を示す平面と断面の図である。

【図12】アクティブ・マトリックス方式のカラー液晶表示装置のマトリクス部とその周辺を含む回路図である。

【図13】基板SUB1側の工程A～Cの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図14】基板SUB1側の工程D～Fの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図15】基板SUB1側の工程G～Iの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図16】液晶表示モジュールの分解斜視図である。

【図17】液晶表示パネルに周辺の駆動回路を実装した状態を示す上面図である。

【図18】駆動回路を構成する集積回路チップCHIがフレキシブル配線基板上に搭載されたテープキャリアパッケージTCPの断面構造を示す図である。

【図19】テープキャリアパッケージTCPを液晶表示パネルPNLの映像信号回路用端子DTMに接続した状態を示す要部断面図である。

【図20】周辺駆動回路基板PCB1（上面が見える）と電源回路回路基板PCB2（下面が見える）との接続状態を示す上面図である。

【図21】本発明による半導体装置の技術的效果を示す説明図である。

【符号の説明】

SUB…透明ガラス基板、GL…走査信号線、DL…映像信号線

GI…絶縁膜、GT…ゲート電極、AS…i型半導体層  
SD…ソース電極またはドレイン電極、PSV…保護膜、BM…遮光膜

LC…液晶、TFT…薄膜トランジスタ、ITO…透明画素電極

g、d…導電膜、Cadd…保持容量素子、AOF…陽極酸化膜

AO…陽極酸化マスク、GTM…ゲート端子、DTM…ドレイン端子

SHD…シールドケース、PNL…液晶表示パネル、SPB…光拡散板、

MFR…中間フレーム、BL…バックライト、BLS…

バックライト支持体、  
LCA…下側ケース、RM…バックライト光反射山、

(以上添字省略)。

【図 1】

【図 2】

図 1

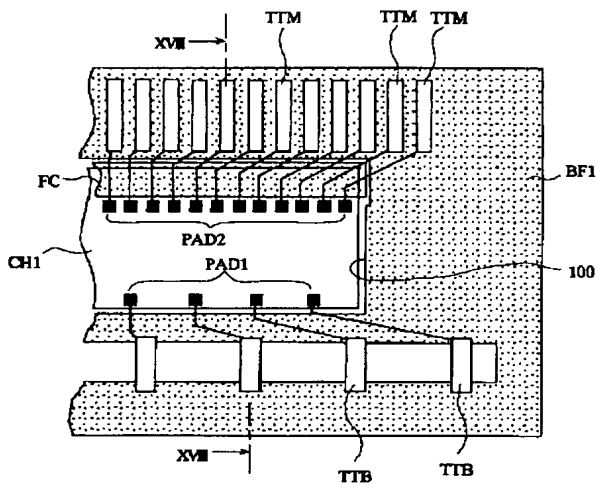
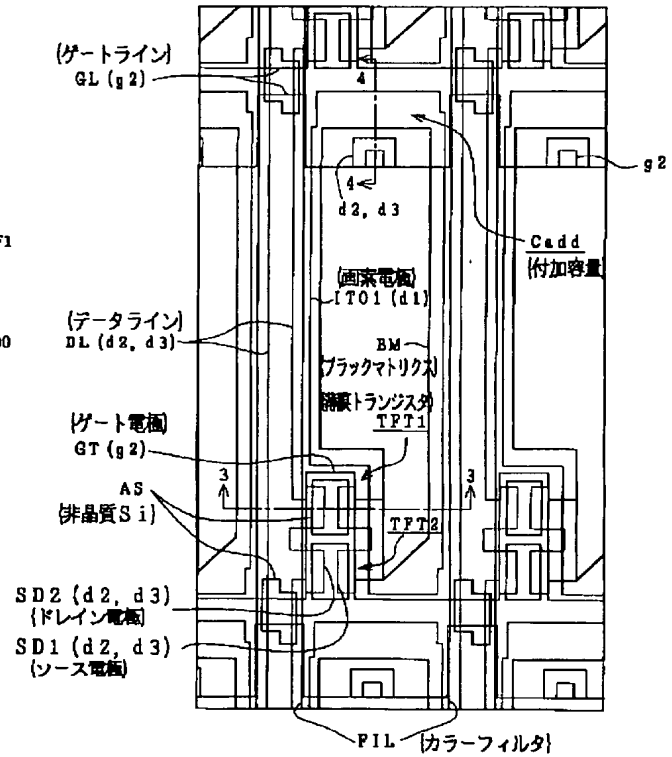


図 2



【図 3】

【図 4】

図 3

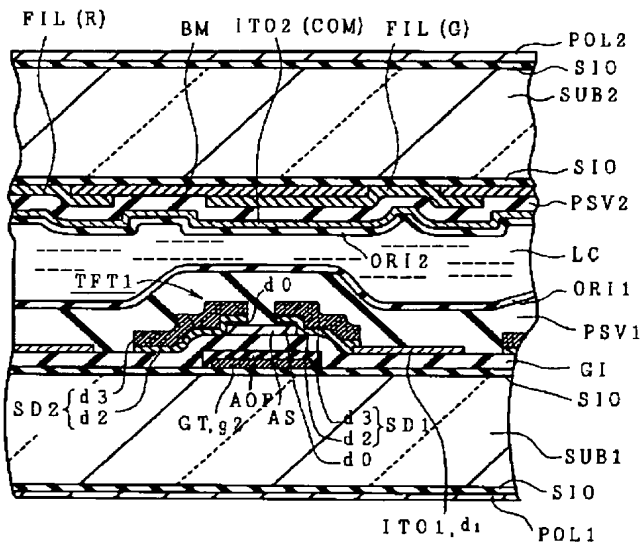
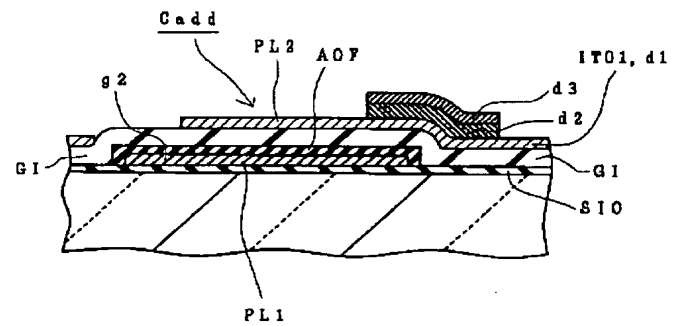
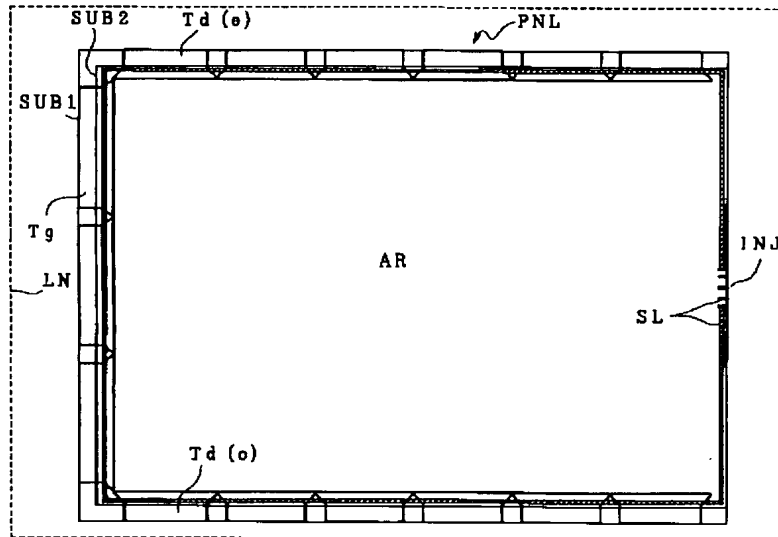


図 4



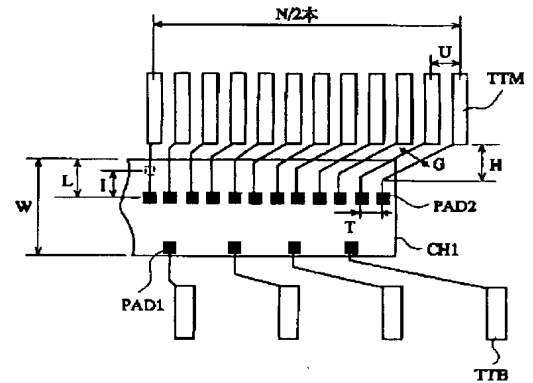
【図5】

図5



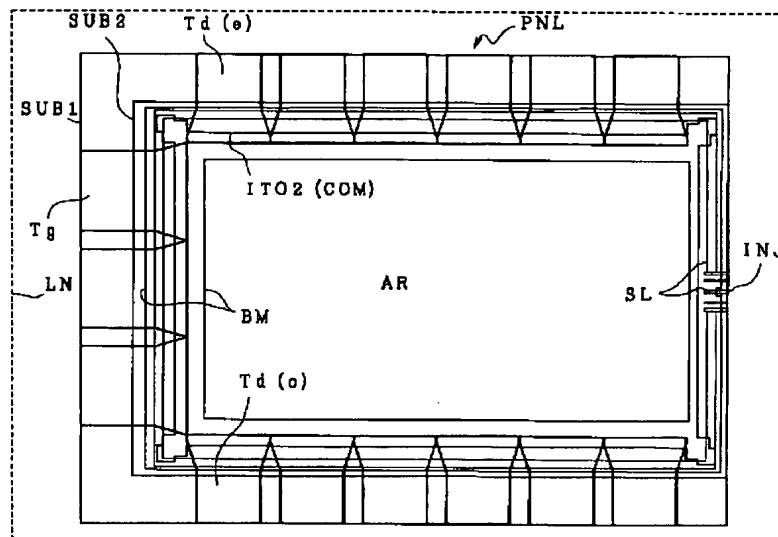
【図21】

図21

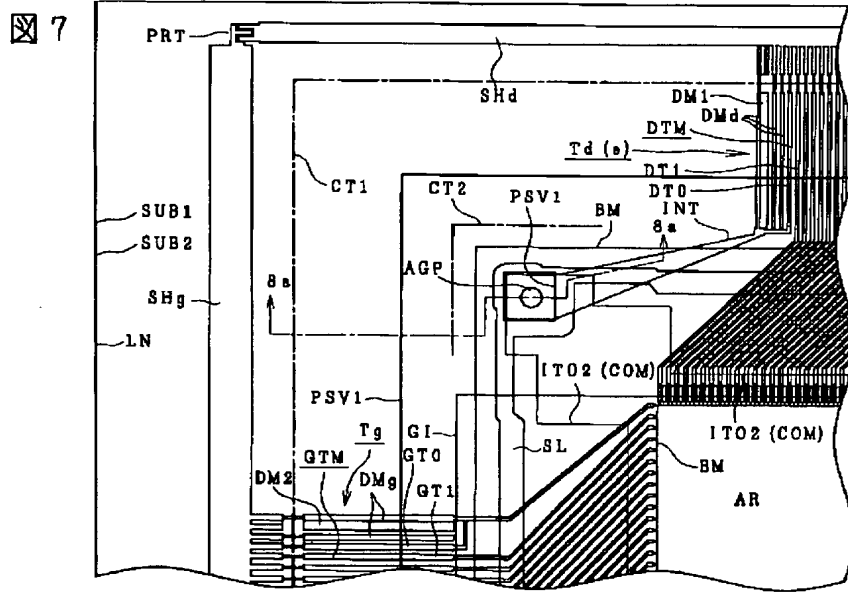


【図6】

図6

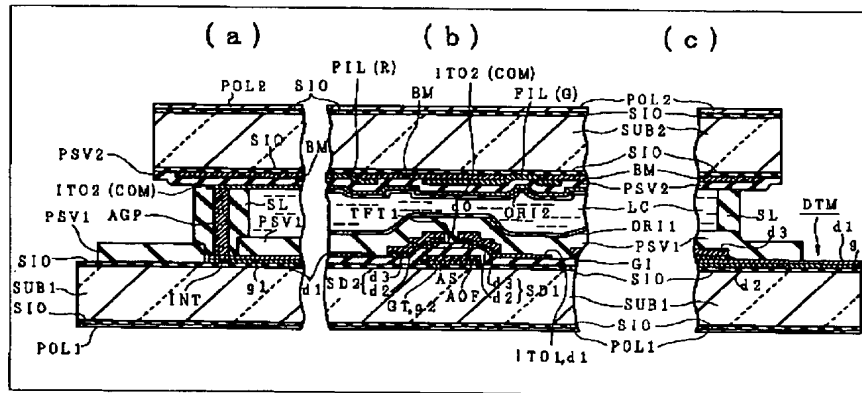


【図7】



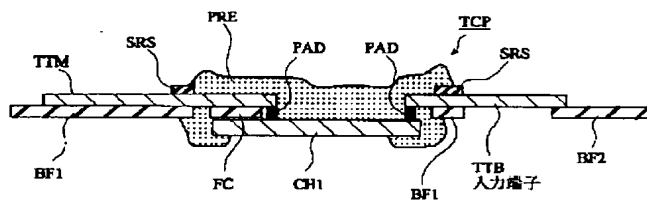
【図8】

図8



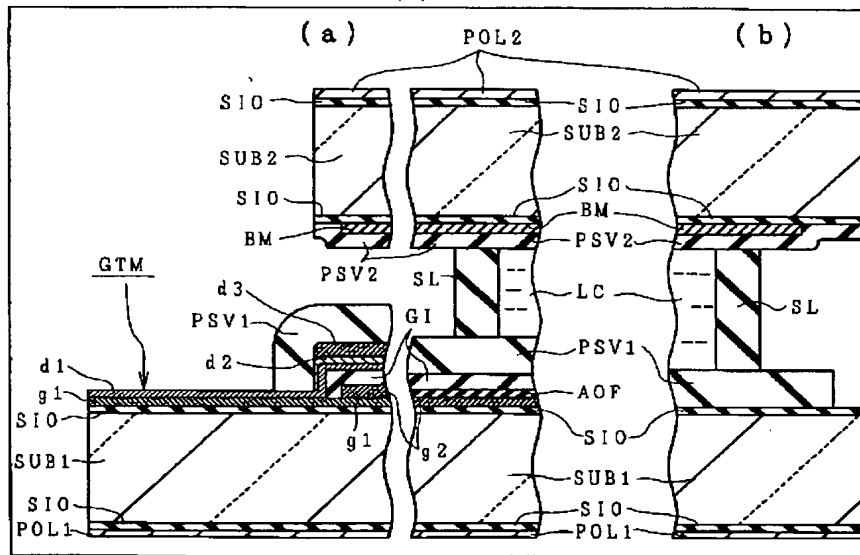
【図18】

図18



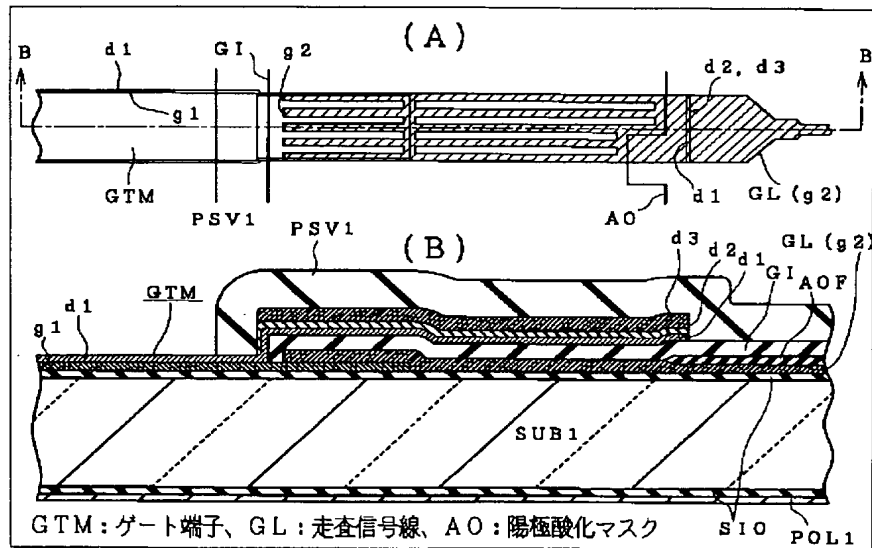
【図9】

図9



【図10】

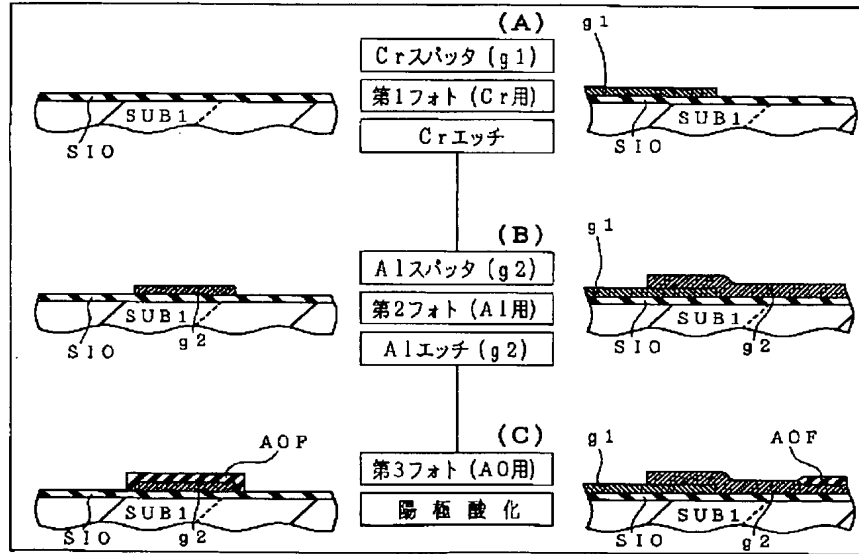
図10





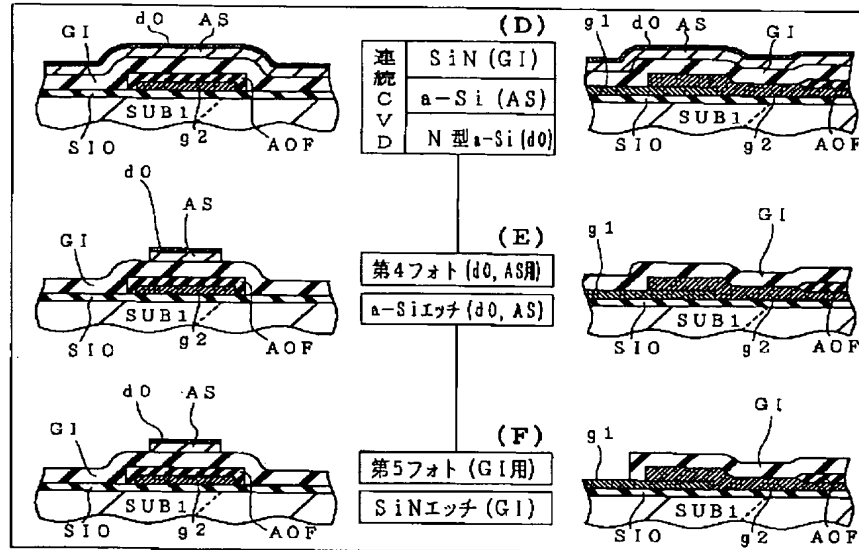
【図13】

図13



【図14】

図14

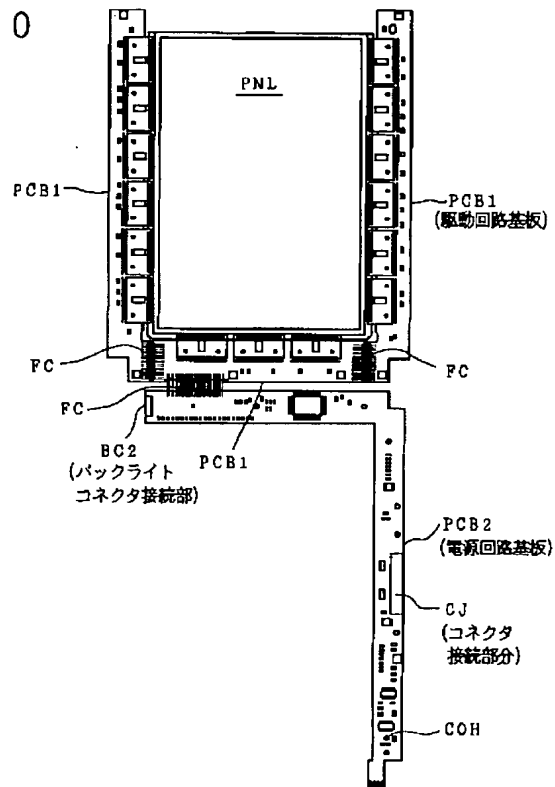






【図20】

図 20



【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 7 部門第 2 区分  
 【発行日】平成 13 年 4 月 6 日 (2001. 4. 6)

【公開番号】特開平 7-135236  
 【公開日】平成 7 年 5 月 23 日 (1995. 5. 23)  
 【年通号数】公開特許公報 7-1353  
 【出願番号】特願平 5-279657  
 【国際特許分類第 7 版】  
 H01L 21/60 311  
 【F I】  
 H01L 21/60 311 R

【手続補正書】  
 【提出日】平成 12 年 3 月 28 日 (2000. 3. 28)

【手続補正 1】  
 【補正対象書類名】明細書  
 【補正対象項目名】発明の名称  
 【補正方法】変更  
 【補正内容】

【発明の名称】 液晶表示装置  
 【手続補正 2】

【補正対象書類名】明細書  
 【補正対象項目名】特許請求の範囲  
 【補正方法】変更  
 【補正内容】  
 【特許請求の範囲】

【請求項 1】 液晶表示パネルと駆動回路とからなる液晶表示装置であって、

前記駆動回路は、フレキシブル絶縁基板と、このフレキシブル絶縁基板に搭載される半導体チップとを備え、この半導体チップの主表面に一方向に並設された複数の電極パッドからなる電極パッド群が形成されているとともに、前記フレキシブル絶縁板面に該半導体チップの電極パッド群の各電極パッドにボンディングされて周辺部に外部取り出し端子として引き出される配線層群が形成され、

前記半導体チップの前記電極パッド群は該半導体チップの主表面のほぼ中央部に位置付けられていることを特徴とする液晶表示装置。

【手続補正 3】  
 【補正対象書類名】明細書  
 【補正対象項目名】0001  
 【補正方法】変更  
 【補正内容】  
 【0001】

【産業上の利用分野】本発明は、液晶表示装置に係り、特に、いわゆるテープキャリア方式で製造される半導体装置を具備する液晶表示装置に関する。

【手続補正 4】  
 【補正対象書類名】明細書  
 【補正対象項目名】0007  
 【補正方法】変更  
 【補正内容】

【0007】それ故、本発明は、このような事情に基づいてなされたものであり、その目的は、さらに小型化を図った半導体装置を具備する液晶表示装置を提供することにある。

【手続補正 5】  
 【補正対象書類名】明細書  
 【補正対象項目名】0008  
 【補正方法】変更  
 【補正内容】

【課題を解決するための手段】このような目的を達成するために、本発明は、基本的には、液晶表示パネルと駆動回路とからなる液晶表示装置であって、前記駆動回路は、フレキシブル絶縁基板と、このフレキシブル絶縁基板に搭載される半導体チップとを備え、この半導体チップの主表面に一方向に並設された複数の電極パッドからなる電極パッド群が形成されているとともに、前記フレキシブル絶縁板面に該半導体チップの電極パッド群の各電極パッドにボンディングされて周辺部に外部取り出し端子として引き出される配線層群が形成され、前記半導体チップの前記電極パッド群は該半導体チップの主表面のほぼ中央部に位置付けられていることを特徴とするものである。

【手続補正 6】  
 【補正対象書類名】明細書  
 【補正対象項目名】0015  
 【補正方法】変更  
 【補正内容】

【0015】したがって、小型化を図った半導体装置を具備する液晶表示装置を得ることができる。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0 1 1 4

【補正方法】変更

【補正内容】

【0 1 1 4】

【発明の効果】以上説明したことから明らかなように、  
本発明による液晶表示装置によれば、さらに小型化を  
図った半導体装置を具備したものを得ることができる。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】図 1

【補正方法】変更

【補正内容】

【図 1】本発明による液晶表示装置に具備される半導体  
装置の一実施例を示す平面図である。



- (19) Japan Patent Office (JP)
- (12) Publication of Patent Application (A)
- (11) Publication Number of Patent Application: 135236/1995
- (43) Date of Publication of Application: May 23, 1995
- (51) Int. Cl.<sup>6</sup>:

H 01 L            21/60

Identification Number:

311 R

Intraoffice Reference Number:

6918-4M

Request for Examination: not made

Number of Claims: 1 OL (18 pages in total)

- (21) Application Number Hei-5-279657
- (22) Application Date: November 9, 1993
- (71) Applicant: 000005108  
Hitachi Limited  
4-6, Kanda Surugadai, Chiyoda-ku,  
Tokyo
- (72) Inventors: OHIRA Eiji, ISHIDA Kazuhiro  
c/o Hitachi Limited  
Electronic Device Division,  
3300, Hayano, Mobara-shi,  
Chiba
- (74) Agent: Patent Attorney, AKITA Naoki

(54) [Title of the Invention]

SEMICONDUCTOR DEVICE

(57) [Abstract]

[Purpose] To achieve reduction in size.

[Constitution] This semiconductor device includes: a flexible insulating substrate; and a semiconductor chip mounted on the flexible insulating substrate, wherein an electrode pad group composed of a plurality of electrode pads juxtaposed in one direction is formed on the principal surface of the semiconductor chip, and the flexible insulating plate surface is provided with a wiring layer group bonded to the respective electrode pads of the electrode pad group and led out as an external output terminal to the peripheral part. In the semiconductor device, the electrode pad group of the semiconductor chip is positioned in the substantially central part of the principal surface of the semiconductor chip.

[Claims]

[Claim 1] A semiconductor device, comprising: a flexible insulating substrate; and a semiconductor chip mounted on the flexible insulating substrate, wherein an electrode pad group composed of a plurality of electrode pads juxtaposed in one direction is formed on the principal surface of the semiconductor chip, the flexible insulating plate surface is

provided with a wiring layer group bonded to the respective electrode pads of the electrode pad group and led out as an external output terminal to the peripheral part, and the electrode pad group of the semiconductor chip is positioned in the substantially central part of the principal surface of the semiconductor chip.

[Detailed Description of the Invention]

[0001]

[Industrial Field]

This invention relates to a semiconductor device and particularly to the improvements in the semiconductor device manufactured by the so-called tape carrier system.

[0002]

[Prior Art]

The semiconductor device manufactured by the so-called tape carrier system is suitable for mass-production, and it is characterized in that its structure is smaller than those of the semiconductor devices of the other types.

[0003]

That is, a flexible insulating substrate used like a tape in the process of manufacture is loaded with a semiconductor chip in the so-called faced-down state.

[0004]

A wiring layer bonded to the respective electrode pads

of the semiconductor chip and led out as an external output terminal to the peripheral part is formed on the flexible insulating substrate surface.

[0005]

The semiconductor chip loaded on the flexible insulating substrate is coated with resin, which is applied by potting or the like.

[0006]

[Problems that the Invention is to Solve]

In the case of the thus constructed semiconductor device, however, there are demands toward further reduction in size (reduction in area, seen in a plane), and it has been expected to realize such reduction.

[0007]

Accordingly, this invention has been made in the light of such circumstances and it is an object of the invention to provide a semiconductor device, which is further reduced in size.

[0008]

In order to achieve the object, the invention provides a semiconductor device basically including: a flexible insulating substrate; and a semiconductor chip mounted on the flexible insulating substrate, wherein an electrode pad group composed of a plurality of electrode pads juxtaposed in one direction is formed on the principal surface of the



semiconductor chip, and the flexible insulating plate surface is provided with a wiring layer group bonded to the respective electrode pads of the electrode pad group and led out as an external output terminal to the peripheral part, and the semiconductor device is characterized in that the electrode pad group of the semiconductor chip is positioned in the substantially central part of the principal surface of the semiconductor chip.

[0009]

[Operation]

In the thus constructed semiconductor device, the wiring layer group formed on the flexible insulating substrate surface is called the so-called inner lead on the bonding side to the electrode pads of the semiconductor chip, and also called the so-called outer lead on the external terminal side positioned in the periphery of the flexible insulating substrate.

[0010]

The intervals of the respective outer leads are considerably larger than those of the respective inner leads, so that a wiring layer corresponding to the space between the outer lead and the inner lead is disposed in the oblique direction to the extending direction of the outer lead, for example.

[0011]

Whereupon, the minimum width between the outer lead and

the inner lead is set by setting the minimum width (smaller than the width between the inner leads) in machining between the respective wiring layers disposed in the oblique direction not to be reduced to the width or less.

[0012]

This means that the minimum width of the flexible insulating substrate positioning the outer lead in the periphery is also set so that it cannot be reduced to the width or less.

[0013]

According to the invention, however, the electrode pad group of the semiconductor chip is positioned in the substantially central part of the principal surface of the semiconductor chip.

[0014]

This leads to that in spite of the above regulations on the disposition of the wiring layer, the width of the flexible insulating substrate can be reduced for shifting of the electrode pad group (while a superposition part of the semiconductor chip and the flexible insulating substrate is generated).

[0015]

Accordingly, the semiconductor device is reduced in size.

[0016]

[Embodiment]

The invention, still another object of the invention and still another characteristic of the invention will be apparent from the following description referred to the attached drawings.

[0017]

<Active matrix liquid crystal display device>

An embodiment where the invention is applied to an active matrix type color liquid crystal display device will now be described. In the described drawings, the same reference numerals are given to the parts having the same function, and the repeated description is omitted.

[0018]

<Summary of a matrix part>

Fig. 2 is a plan view showing one pixel and its periphery of an active matrix type color liquid crystal display device to which the invention is applied, Fig. 3 is a sectional view taken along a cutting plane line 3 - 3 of Fig. 2, and Fig. 4 is a sectional view taken along a cutting plane line 4 - 4 of Fig. 2.

[0019]

As shown in Fig. 2, each pixel is disposed in an area (in an area surrounded by four signal lines) where two adjacent scan signal lines (gate signal lines or horizontal signal lines) GL and two adjacent video signal lines (drain signal

lines or vertical signal lines) DL intersect each other. Each pixel includes: a thin film transistor TFT, a transparent pixel electrode ITO 1 and a storage capacitor element Cadd. In the drawings, the scan signal lines GL is extended in the lateral direction, and a plurality of scanning signal lines are disposed in the vertical direction. The video signal line DL is extended in the vertical direction, and a plurality of video signal lines are disposed in the lateral direction.

[0020]

As shown in Fig. 3, a thin film transistor TFT and a transparent pixel electrode ITO 1 are formed on a lower transparent glass substrate SUB1 on the basis of a liquid crystal layer LC, and a color filter FIL and a light shielding black matrix pattern BM are formed on an upper transparent glass substrate SUB2. Both surfaces of the transparent glass substrates SUB1, SUB2 are respectively provided with a silicon oxide film SIO formed by dipping.

[0021]

A light shielding film BM, a color filter FIL, a protective coat film PSV 2, a common transparent pixel electrode ITO 2 (COM) and an upper alignment layer OR12 are sequentially stacked on the inner (liquid crystal LC side) surface of the upper transparent glass substrate SUB2.

[0022]

<Summary of matrix periphery>

Fig. 5 is a plan view showing the principal part of the periphery of a display panel PNL including the upper and lower glass substrates SUB1, SUB2, Fig. 6 is a plan view showing its peripheral part further exaggeratively, and Fig. 7 is an enlarged plan view of the vicinity of a sealing part SL corresponding to the left upper corner part of the panel in Fig. 5 and Fig. 6. Fig. 8 is a diagram in which the section of Fig. 3 is shown in the center, the section in the cutting plane line 8a - 8a of Fig. 7 is shown on the left side, and the section of the vicinity of an external connecting terminal DTM to which a video signal driving circuit is to be connected is shown on the right side. Similarly Fig. 9 is a diagram in which the section of the vicinity of an external connecting terminal GTM to which a scan circuit is connected is shown on the left side, and the section of the vicinity of the sealing part without an external connecting terminal is shown on the right side.

[0023]

In manufacturing the panel, in the case of a small size, in order to improve throughput, one glass substrate is machined for a plurality of devices at the same time and divided, and in the case of a large size, a glass substrate of standardized dimensions is machined for any kind and reduced to a size according to the kind because the manufacturing equipment is used in common. In either case, the glass is cut after going

through the general process. Figs. 5 to 7 show the latter example, both of Figs. 5 and 6 show the upper and lower substrates SUB 1 and SUB 2 after cutting, and Fig. 7 shows the same before cutting. The reference sign LN designates the edges of both substrates before cutting, and the CT1 and CT2 respectively designate the position to be cut in the substrates SUB1, SUB2. In either case, in a part where the external connecting terminal groups Tg, Td (character are omitted) are existent (in upper and lower sides, and left side), the size of the upper substrate SUB2 is limited to the inside of the lower substrate SUB1 to expose them in the completed state. The terminal groups Tg, Td respectively call a collection of a plurality of scanning circuit connecting terminals GTM, video signal circuit connecting terminals DTM and lead-out wiring parts thereof, which will be mentioned later, in a unit of tape carrier package TCP (Fig. 18, Fig. 19) loaded with an integrated circuit chip CHI. The lead-out wire extending from the matrix part of each group to the external connecting terminal part is inclined as it goes toward both ends. The reason for this is that the terminals DTM, GTM of the display panel PNL are made coincident with the array pitch of the package TCP and the connecting terminal pitch in each package TCP.

[0024]

Between the transparent glass substrate SUB1, SUB2, a sealing pattern SL is formed along the edges thereof to seal

the liquid crystal LC except a liquid crystal filling port INJ. The sealing material is formed of epoxy resin, for example. A common transparent pixel electrode ITO 2 on the upper transparent glass substrate SUB2 side is connected to the lead-out wiring INT formed on the lower transparent glass substrate SUB1 side by silver paste material AGP at four corners of the panel at least in one portion in the present embodiment. The lead-out wiring INT is formed in the same manufacturing process as a gate terminal GTM and a drain terminal DTM mentioned later.

[0025]

The respective layers of alignment layers ORI 1, ORI2, a transparent pixel electrode ITO1, and a common transparent pixel electrode ITO2 are formed inside the sealing pattern SL. Sheet polarizers POL1, POL2 are respectively formed on the outside surfaces of the lower transparent glass substrate SUB1 and the upper transparent glass substrate SUB2. The liquid crystal LC is injected into an area partitioned by the sealing pattern SL between the lower alignment layer ORI1 and the upper alignment layer ORI2 for setting the orientation of liquid crystal molecules. The lower alignment layer ORI1 is formed on the protective film PSV1 of the lower transparent substrate SUB1 side.

[0026]

This liquid crystal display device is assembled as

follows. Various layers are stacked individually on the lower transparent glass substrate SUB1 side and on the upper transparent glass substrate SUB2 side, the sealing pattern SL is formed on the substrate SUB2 side, the lower transparent glass substrate SUB1 and the upper transparent glass substrate SUB2 are aligned with each other, the liquid crystal LC is injected from an opening part INJ of the sealing material SL, the injection port INJ is sealed with epoxy resin, and the upper and lower substrates are cut.

[0027]

<Thin film transistor TFT>

Returning to Figs. 2 and 3, the configuration of the TFT substrate SUB1 side will now be described in detail.

[0028]

The thin film transistor TFT is operated so that when positive bias is applied to a gate electrode GT, channel resistance between the source and the drain is lowered, and when bias is set to zero, the channel resistance is made higher.

[0029]

A plurality of (two) thin film transistors TFT1, TFT2 are redundantly provided on each pixel. The thin film transistors TFT1, TFT2 are respectively constructed substantially equal in size (the same channel length and channel width), and include: a gate electrode GT; a gate insulating film GI; an i-type (intrinsic, conducting type



deciding impurity is not doped) semiconductor layer AS made of amorphous silicon Si; and a pair of a source electrode SD1 and a drain electrode SD2. Since the source and drain are essentially decided depending on the bias polarity between them, it is understood that in the circuit of the liquid crystal display device, the inversion of polarity is caused during the operation, and the source and the drain are replaced with each other. In the description, however, it is considered that one is the source and the other is the drain fixedly for the sake of convenience.

[0030]

<Gate electrode GT>

The gate electrode GT is constructed to project from the scanning signal line GL in the vertical direction (branching like T-shape). The gate electrodes GT project over the respective active regions of the thin film transistors TF1, TF2. The respective gate electrodes GT of the thin film transistors TFT1, TFT2 are integrally constructed (as a common gate electrode), and connected to the scan signal line GL. In the present embodiment, the gate electrode GT is formed of a single-layer second conductive film g2. As the second conductive film g2, for example, aluminum (Al) film formed by sputtering process is used. An anodic oxidation film AOF of Al is provided thereon.

[0031]

The gate electrode GT is formed larger to completely cover the i-type semiconductor layer AS (seen from below), whereby external light and backlight are prevented from being applied to the i-type semiconductor layer AS.

[0032]

#### <Scan signal line GL>

The scanning signal line GL is formed of the second conductive film g2. The second conductive film g2 of the scanning signal line GL is formed in the same manufacturing process as the second conductive film g2 of the gate electrode GT, and also integrally constructed. An anodic oxidation film AOF of Al is provided on the scanning signal line GL as well.

[0033]

#### <Insulating film GI>

The insulating film GI is used as a gate insulting film for applying an electric field to the semiconductor layer AS together with the gate electrode GT in the thin film transistors TFT1, TFT2. The insulating film GI is formed on the upper layers of the gate electrode GT and the scan signal line GL. As the insulating film GI, for example, a silicon nitride film formed by plasma CVD is selected, and formed 1200 to 2700 angstrom thick (about 2000 angstrom in the present embodiment). The gate insulating film GI is, as shown in Fig. 7, formed to surround the whole of the matrix part AR, and the peripheral part is removed to expose the external connecting terminals

DTM, GTM. The insulating film GI contributes to electric insulation of the scanning signal line GL and the video signal line DL.

[0034]

<i-type semiconductor layer AS>

According to the present embodiment, the i-type semiconductor layers AS are formed as isolated islands from the thin film transistors TFT1, TFT2, respectively, and formed of amorphous silicon to be 200 to 2200 angstrom thick (in the present embodiment, a film thickness of about 2000 angstrom thick). A layer d0 is an N(+) type amorphous silicon semiconductor layer where phosphor (P) for ohmic contact is doped, which is left behind only in a region where the i-type semiconductor layer AS exists on the lower side and a conductive layer d2 (d3) exists on the upper side.

[0035]

In a part where the scanning signal line GL and the video signal line DL intersect each other (a crossover part), the i-type semiconductor layer AS is provided between both of them. The i-type semiconductor layer AS in the intersecting part reduces short-circuit of the scanning signal line GL and the video signal line DL in the intersecting part.

[0036]

<Transparent pixel electrode IT01>

The transparent pixel electrode IT01 constitutes one side of

the pixel electrode of a liquid crystal display part.

[0037]

The transparent pixel electrode IT01 is connected to both a source electrode SD1 of the thin film transistor TFT1 and a source electrode SD1 of the thin film transistor TFT 2. Therefore, even if defect occurs in one of the thin film transistors TFT1, TFT2, in the case where the defect brings about side effects, a suitable part is cut off by laser light or the like, and if not so, the other thin film transistor is normally operated so that the situation may be left as it is. The transparent pixel electrode IT01 is constructed by a first conductive film d1, and the first conductive film d1 is formed of a transparent conductive film (Indium-Tin-Oxide ITO: tin oxide film) formed by sputtering process, and formed 1000 to 2000 angstrom thick (about 1400 angstrom thick in the present embodiment).

[0038]

<Source electrode SD1, drain electrode SD2>

The source electrode SD1 and the drain electrode SD2 are respectively constructed by a second conductive film d2 coming into contact with the N(+) type semiconductor layer d0 and a third conductive film d3 formed thereon.

[0039]

The second conductive film d2 is formed 500 to 1000 angstrom thick (about 600 angstrom thick in the present

embodiment) using a chrome (Cr) film formed by sputtering process. When the Chrome (Cr) is formed with a large film thickness, stress is increased. Therefore, the Cr film is formed within a range not exceeding the film thickness about 2000 angstrom. The Cr film is used for the purpose of improving the adhesive property to the N(+) type semiconductor layer d0 to prevent Al of the third conductive film d3 from being diffused in the N(+) type semiconductor layer d0 (the so-called barrier layer). As the second conductive film d2, in addition to the Cr film, high melting point metal (Mo, Ti, Ta, W) film and high melting point metal silicide ( $\text{Mosi}_2$ ,  $\text{TiSi}_2$ ,  $\text{TaSi}_2$ ,  $\text{WSi}_2$ ) film may be used.

[0040]

The third conductive film d3 is formed 3000 to 5000 angstrom thick (about 4000 angstrom in the present embodiment) by sputtering Al. The Al film has smaller stress than the Cr film, so that it can be formed with a larger film thickness. The Al film functions to reduce the resistance values of the source electrode SD1, the drain electrode SD2 and the video signal line DL, and ensure step coverage due to the gate electrode GT and the i-type semiconductor layer AS (to improve the step coverage).

[0041]

After the second conductive film d2 and the third conductive film d3 are subjected to patterning with the same

mask pattern, the same mask is used or the second conductive film d2 and the third conductive film d3 are used as a mask, thereby removing the N(+) type semiconductor layer d0. That is, the N(+) type semiconductor layer d0 remaining on the i-type semiconductor layer AS is removed by self-alignment except the parts of the second conductive film d2 and the third conductive film d3. At the time, the N(+) type semiconductor layer d0 is entirely etched for the thickness, so that although the i-type semiconductor layer AS is also a little etched in the surface part thereof, the degree may be controlled by the etching time.

[0042]

<Video signal line DL>

The video signal line DL is constructed by the second conductive film d2 and the third conductive film d3 of the same layer as the source electrode SD1 and the drain electrode SD2.

[0043]

<Protective film PSV1>

The protective film PSV1 is provided on the thin film transistor TFT and the transparent pixel electrode IT01. The protective film PSV1 is formed mainly for protecting the thin film transistor TFT from moisture or the like, so the protective having high transparency and good moisture resistance is used. The protective film PSV1 is formed of a silicon oxide film or a silicon nitride film formed by a plasma CVD device, and it

is formed with a film thickness about  $1\mu\text{m}$ .

[0044]

The protective film PSV1 is, as shown in Fig. 7, formed to surround the whole of the matrix part AR, the peripheral part is removed to expose the external connecting terminal DTM, GTM, and further a part where the common electrode COM of the upper substrate SUB2 is connected to a lead-out wiring INT for connecting the external connecting terminal of the lower substrate SUB1 with silver paste AGP. Concerning the thickness relationship between the protective film PSV1 and the gate insulating film GI, the former is made thicker in consideration of the protective effect, and the latter is decreased in mutual conductance  $g_m$  of the transistors. Accordingly, as shown in Fig. 7, the protective film PSV1 having high protective effect is formed larger than the gate insulating film GI to protect the peripheral part as well in a wider range as much as possible.

[0045]

#### <Light shielding film BM>

The upper transparent glass substrate SUB2 side is provided with a light shielding film BM to prevent external light and the light of a backlight from entering the i-type semiconductor layer AS. In a closed polygonal contour line of the light shielding film BM shown in Fig. 2, the inside thereof shows an opening where the light shielding film BM is not formed.

The light shielding film BM is formed of a film having high shielding performance to light such as an aluminum film or a chrome film, and in the present embodiment, the chrome film is formed about 1300 angstrom by sputtering process.

[0046]

Accordingly, the i-type semiconductor layers AS of the thin film transistors TFT1, TFT2 are sandwiched between the light shielding film BM and a larger gate electrode GT disposed on the upper and lower sides, whereby external natural light and the light of a backlight are not applied to the layers. The light shielding film BM is formed grid-like in the periphery of each pixel (the so-called black matrix), and the effective display area of one pixel is partitioned by the grid. Accordingly, the contours of the respective pixels are made clear by the light shielding film BM to improve contrast. That is, the light shielding film BM has two functions: a function of shielding light from the i-type semiconductor layer AS; and a function of a black matrix.

[0047]

The edge part (right lower part in Fig. 2) on the root side in the rubbing direction of the transparent pixel electrode IT01 is also shielded by the shielding film BM, so that even if a domain is generated in the above part, the domain is not seen not to deteriorate the display characteristic.

[0048]



The light shielding film BM is, as shown in Fig. 6, formed like a frame in the peripheral part as well, and the pattern is formed continuously with a pattern of the matrix part shown in Fig. 2 where a plurality of openings are provided like dots. The light shielding film BM of the peripheral part is, as shown in Fig. 6 to Fig. 9, extended to the outside of the sealing part SL, thereby preventing leaking light such as reflected light caused by a packaging machine such as a personal computer from entering the matrix part. On the other hand, the light shielding film BM is retained about 0.3 to 1.0mm inside from the edge of the substrate SUB2, and formed outside of the cutting area of the substrate SUB2.

[0049]

<Color filter FIL>

The color filter FIL is formed like stripes by repetition of red, green and blue in the position opposite to the pixel. The color filter FIL is formed a little larger to cover the whole of the transparent pixel electrode IT01, and the shielding film BM is formed inside the peripheral edge of the transparent pixel electrode IT01 to overlap the edge parts of the color filter FIL and the transparent pixel electrode IT01.

[0050]

The color filter FIL is formed as follows. First, dyeing base material such as acrylic resin is formed on the surface of the upper transparent glass substrate SUB2, and the dyeing

base material outside of the red filter forming area is removed by photolithography technology. After that, the dyeing base material is dyed by the red dye, and subjected to fixing treatment to form a red filter R. Subsequently, the similar process is conducted to sequentially form a green filter G, a blue filter B.

[0051]

<Protective film PSV2>

The protective film PSV2 is provided to prevent dye of the cooler filter FIL from leaking to the liquid crystal LC. The protective film PSV2 is formed of transparent resin material such as acrylic resin or epoxy resin.

[0052]

<Common transparent pixel electrode IT02>

The common transparent pixel electrode IT02 is opposite to the transparent pixel electrodes IT01 provided at intervals of the pixels on the lower transparent glass substrate SUB1 side, and the optical state of the liquid crystal LC varies in response to a potential difference (electric field) between the respective pixel electrodes IT01 and the common transparent pixel electrode IT02. Common voltage Vcom is applied to the common transparent pixel electrode IT02. In the present embodiment, the common voltage Vcom is set to the intermediate current potential between the driving voltage Vdmin of the minimum level and the driving voltage Vdmax of the maximum level

applied to the video signal line DL, and in the case of reducing the power supply voltage of an integrated circuit used in the video signal driving circuit to about half, application of AC voltage may suffice. The plane shape of the common transparent pixel electrode IT02 is referred to Fig. 6 and Fig. 7.

[0053]

<Structure of storage capacitor Element Cadd>

The transparent pixel electrode IT01 is formed to overlap an adjacent scanning signal line GL at the end part on the opposite side to the end part connected to the thin film transistor TFT. This overlapping, as apparent from Fig. 4, constitutes the storage capacitor element (electrostatic capacitor element) Cadd taking the transparent pixel electrode IT01 as one electrode PL2 and the adjacent scanning signal line GL as the other electrode PL1. The dielectric film of the storage capacitor element Cadd is constructed by the insulating film GI used as the gate insulating film of the thin film transistor TFT and the anodic oxidation film AOF.

[0054]

The storage capacitor element Cadd is formed in a widened part of the second conductive film g2 of the scanning signal line GL. The second conductive film g2 is made thinner in the part intersecting the video signal line DL to decrease the probability of short-circuiting with the video signal line DL.

[0055]

Even if the transparent pixel electrode IT01 causes breaking of wire at a step part of the electrode PL1 of the storage capacitor element Cadd, the failure is compensated by an insular area formed by the second conductive film d2 and the third conductive film d3 formed extending over the step.

[0056]

<Gate terminal part>

Fig. 10 is a diagram showing the connecting structure extending from the scanning signal line GL of a display matrix to the external connecting terminal GTM thereof, (A) is a plan view and (B) is a sectional view taken along cutting plane line B-B of (A). Fig. 10 corresponds to the vicinity of the lower part of Fig. 7, and an oblique wiring part is represented in straight lines for the sake of convenience.

[0057]

The reference sign AO is a mask pattern for photographic processing, that is, a photo resist pattern for selective anodic oxidation. Accordingly, the photo resist is removed after anodic oxidation, so that although the pattern AO shown in the drawing is not left as a finished product, an oxide film AOF is selectively formed in the gate wiring GL as shown in the sectional view and the locus is left. In the plan view, on the basis of the boundary line AO of photo resist, the left is an area covered with resist not subjected to anodic oxidation, and the right is an area exposed from the resist to be

anodic-oxidized. In the anodic-oxidized AL layer g2, an oxide  $\text{Al}_2\text{O}_3$  film AOF is formed on the surface so that a lower conductive part is decreased in volume. It goes without saying that anodic oxidation is performed after setting the suitable time and voltage so that the conductive part is left behind. The mask pattern AO does not intersect the scanning line GL in a single straight line, but it bends like a crank to intersect.

[0058]

In the drawing, the AL layer g2 is hatched to be comprehensible, and the non-anodized area is subjected to comb-like patterning. The reason for this is that since the wide Al layer will cause whisker in the surface, each one layer is narrow, and a plurality of layers are bound in parallel, thereby preventing the occurrence of whisker and also minimizing the probability of breaking of wire and sacrifice of conductivity. Therefore, in the present embodiment, the part corresponding to the root of the comb is shifted along the mask AO.

[0059]

The gate terminal GTM is composed of a Cr layer g1 having good adhesiveness to a silicon oxide  $\text{SiO}_2$  layer and higher electric corrosion resistance than Al, and a transparent conductive layer d1 protecting the surface and having the same level (the same layer and simultaneous formation) as the pixel electrode IT01. The conductive layers d2 and d3 formed on the

gate insulating film GI and the side parts thereof are left behind as a result of covering with photo resist to prevent the conductive layers g2 and g1 from being etched due to a pinhole or the like in etching the conductive layers d3 and d2. The similar measures are further completely taken for the ITO layer d1 extended to the right over the gate insulating film GI.

[0060]

In the plan view, the gate insulating film GI is formed on the right of the boundary line, and the protective film PSV1 is also formed on the right of the boundary line, so that the terminal part GTM positioned at the left end is exposed from the films to make an electric contact with an external circuit. Although only one pair of the gate line GL and the gate terminal is shown in the drawing, actually two or more pairs are arranged on the upper and lower sides as shown in Fig. 7 to constitute a terminal group Tg (Fig. 6, Fig. 7), and the left end of the gate terminal is extended over the cutting area CT1 of the substrate and short-circuited by the wiring SHg in the manufacturing process. This type short-circuit wiring SHg in the manufacturing process is useful for power feeding in anodizing and preventing static damage in rubbing the alignment layer ORI1.

[0061]

<Drain terminal DTM>

Fig. 11 is a diagram showing the connection from the video signal line DL to the external connecting terminal DTM, (A) is a plan view, and (B) is a sectional view taken along cutting plane line B - B of (A). Fig. 11 corresponds to the vicinity of the right upper part of Fig. 7, and although the orientation of the drawing is changed for the sake of convenience, the right end direction corresponds to the upper end part (or the lower end part) of the substrate SUB1.

[0062]

The reference sign TSTd is an inspection terminal, to which an external circuit is not connected, but it is made wider than the wiring part so that a probe or the like may come into contact. Similarly, the drain terminal DTM is also made wider than the wiring part to enable connection with an external circuit. Two or more inspection terminals TSTd and external connection drain terminals DTM are vertically arrayed alternately in a zigzag, and the inspection terminals TSTd are, as shown in the drawing, terminated before reaching the end part of the substrate SUB1. The drain terminals DTM, however, as shown in Fig. 7, constitute a terminal group Td (a subscript is omitted) to be further extended over the cutting plane line CT1 of the substrate SUB1, and all are mutually short-circuited to prevent static damage by wirings SHd in the manufacturing process. The drain connecting terminal is connected to the opposite side of the video signal line DL where the inspection

terminal TSTd exists with a matrix interposed between them, and conversely the inspection terminal is connected to the opposite side of the video signal line DL where the drain connecting terminal DTM exists with a matrix interposed between them.

[0063]

The drain connecting terminal DTM is formed of two layers: a Cr layer g1 and an ITO layer d1 for the same reason as the gate terminal GTM, and connected to the video signal line DL in a part from which the gate insulating film GI is removed. The semiconductor layer AS formed on the end of the gate insulating film GI is provided for etching the edge of the gate insulating film GI to be tapered. Naturally on the terminal DTM, the protective film PSV1 is removed to make connection with the external circuit. The AO is the above anodic oxidizing mask, and the boundary line is formed to largely surround the whole matrix. Although the left side of the boundary line is covered with the mask in the drawing, this pattern is not directly related to the part not covered in the drawing because the layer g2 does not exist in the part.

[0064]

The lead-out wiring from the matrix part to the drain terminal part DTM, as shown in the part (c) of Fig. 8, has a structure in which the layers d2, d3 at the same level as the video signal line DL are stacked to the midway of the sealing



pattern SL just above the layers d1, g1 at the same level as the drain terminal part DTM. This aims at holding down the probability of breaking of wire to the minimum and protecting the Al layer d3 susceptible to electric corrosion by the protective film PSV1 or the sealing pattern SL as much as possible.

[0065]

<Display device whole equivalent circuit>

The equivalent circuit of the display matrix part and the connecting diagram of its peripheral circuit are shown in Fig. 12. Although Fig. 12 is a circuit diagram, it is drawn corresponding to the actual geometrical arrangement. The reference sign AR is a matrix array in which a plurality of pixels are arrayed in two dimensions.

[0066]

In the drawing, the reference sign X designates the video signal line DL, to which subscripts G, B and R are added corresponding to green, blue and red pixels, respectively. Y designates the scanning signal line GL, to which subscripts 1, 2, 3...,end are added according to the order of scanning timing.

[0067]

The video signal lines X (subscripts are omitted) are connected to an upper (or odd-numbered) video signal driving circuit He and a lower (or even-numbered) video signal driving

circuit Ho alternately.

[0068]

The scanning signal lines Y (subscripts are omitted) are connected to a vertical scanning circuit V.

[0069]

The reference sign SUP designates a circuit including a power supply circuit for obtaining a plurality of divided stabilized voltage sources from one voltage source and a circuit for switching the information for CRT (a cathode ray tube) from a host (a host processor) to the information for the TFT liquid crystal display device.

[0070]

<Operation of storage capacitor element>

The storage capacitor element Cadd acts to reduce the influence of a gate potential change  $\Delta V_g$  to the mid-point potential (a pixel electrode potential)  $V_{lc}$  when the thin film transistor TFT is switched. This condition is represented by the following expression.

[0071]

$$\Delta V_{lc} = \{C_{gs} / (C_{gs} + C_{add} + C_{pix})\} \times \Delta V_g$$

wherein  $C_{gs}$  is a parasitic capacitance formed between the gate electrode GT and the source electrode SD1 of the thin film transistor TFT,  $C_{pix}$  is a capacitor formed between the transparent pixel electrode IT01 (PIX) and the common transparent pixel electrode IT02 (COM), and  $\Delta V_{lc}$  is a change

in pixel electrode potential depending on the  $\Delta V_g$ . This change  $\Delta V_{lc}$  causes a DC component applied to the liquid crystal LC, and the larger the storage capacitor  $C_{add}$  is, the more the value can be reduced. The storage capacitor element  $C_{add}$  functions to extend the discharge time, and the video information after the thin film transistor TFT is turned off is stored for a long time. The reduction of DC component applied to the liquid crystal LC leads to the improvement in life of the liquid crystal and the reduction of after image left in switching the liquid crystal display screen, the so-called image persistence.

[0072]

As described above, an overlap area between the source electrode SD1 and the drain electrode SD2 is increased for that the gate electrode GT is made larger to completely cover the i-type semiconductor layer AS, so that the parasitic capacitance  $C_{gs}$  is increased, resulting in a contrary effect that the mid-point potential  $V_{lc}$  is susceptible to the influence of the gate (scanning) signal  $V_g$ . However, the above demerit can be overcome by providing the storage capacitor element  $C_{add}$ .

[0073]

The storage capacity of the storage capacitor element  $C_{add}$  is set to a value 4 to 8 times ( $4 \cdot C_{pix} < C_{add} < 8 \cdot C_{pix}$ ) as large as the liquid crystal capacity  $C_{pix}$  and about 8 to 32 times

( $8 \cdot C_{gs} < C_{add} < 32 \cdot C_{gs}$ ) as large as the parasitic capacitance  $C_{gs}$ .  
[0074]

The scanning signal line  $GL(Y_0)$  at the first stage used as a storage capacitor electrode line only is set at the same potential as the common transparent pixel electrode ITO2 ( $V_{com}$ ). In the example of Fig. 7, the scanning signal line at the first stage is short-circuited to the common electrode COM through the terminal GT0, the leader INT, the terminal DT0 and the external wiring. The storage capacitor electrode line  $Y_0$  at the first stage may be connected to the scanning signal line  $Y_{end}$  at the final stage, or a DC potential point (AC ground point) other than  $V_{com}$ , or connected to receive one extra scanning pulse  $Y_0$  from the vertical scanning circuit V.

[0075]

#### <Manufacturing method>

The method of manufacturing a substrate SUB1 side of the liquid crystal display device will now be described with reference to Figs. 13 to 15. In the drawings, the central character is the abbreviation of the process name, the left side shows a pixel part shown in Fig. 3, and the right side shows the flow of working, seen in the sectional form near the gate terminal shown in Fig. 10. The process A to the process I except the process D are divided corresponding to the respective photographic processes, and all sectional views of the respective processes show the step in which machining after

the photographic process is ended and photo resist is removed. In the description, the photographic process means a series of work from application of photo resist through selective exposure using a mask to development, and the repeated description is omitted. According to the divided processes, the description will now be made.

[0076]

#### Process A, Figure 13

A silicon oxide film SIO is provided on both sides of a lower transparent glass substrate SUB1 made of 7059 GLASS (trade name) by dipping, and then baked at 500°C for 60 minutes. A first conductive film g1 formed of chrome with a film thickness of 1100 angstrom is provided on the lower transparent glass substrate SUB1, and after the photographic process, the first conductive film g1 is selectively etched using secondary cerium nitrate ammonium solution as an etchant. Thus, a gate terminal GTM, a drain terminal DTM, an anodic oxidation bus line SHg to which the gate terminal GTM is connected, a bus line SHd for short-circuiting the drain terminal DTM, and an anodic oxidation pad (not shown) connected to the anodic oxidation bus line SHg are formed.

[0077]

#### Process B, Figure 13

A second conductive film g2 formed of Al-Pd, Al-Si, Al-Si-Ti, Al-Si-Cu with a film thickness of 2800 angstrom is

provided by sputtering process. After the photographic process, the second conductive film g2 is selectively etched by a mixed acid solution of phosphoric acid, nitric acid and glacial acetic acid.

[0078]

#### Process C, Figure 13

After the photographic process (after the anodizing mask AO is formed), a solution obtained by adjusting 3% tartaric acid to  $\text{pH } 6.25 \pm 0.05$  by ammonia is diluted to 1:9 by ethylene glycol solution to obtain an anodizing solution. The substrate SUB1 is dipped in the solution, and the formation current density is adjusted to  $0.5 \text{ mA/cm}^2$  (constant current formation). Subsequently, anodic oxidation is performed until reaching the formation voltage of 125V required for obtaining a predetermined  $\text{Al}_2\text{O}_3$  film thickness. After that, it is desirable to keep it under this condition for ten minutes (constant voltage formation). This is important for obtaining uniform  $\text{Al}_2\text{O}_3$  film. Thus, the conductive film g2 is anodized, and an anodic oxide film AOF with a film thickness of 1800 angstrom is formed on the scanning signal line GL, the gate electrode GT and the electrode PL1.

[0079]

#### Process D, Figure 14

Ammonium gas, gaseous silane and gaseous nitrogen are introduced into a plasma CVD device to provide a silicon nitride

film with a film thickness of 2000 angstrom, and gaseous silane and gaseous hydrogen are introduced into a plasma CVD device to provide an i-type amorphous Si film with a film thickness of 2000 angstrom. After that, gaseous hydrogen and phosphine gas are introduced into a plasma CVD device to provide an N(+) type amorphous Si film with a film thickness of 300 angstrom.

[0080]

Process E, Figure 14

After the photographic process,  $\text{SF}_6$  and  $\text{CCl}_4$  are used as dry etching gas to selectively etch an N(+) type amorphous Si film and an i-type amorphous Si film, thereby forming an island of an i-type semiconductor layer AS.

[0081]

Process F, Figure 14

After the photographic process,  $\text{SF}_6$  is used as dry etching gas to selectively etch a silicon nitride film.

[0082]

Process G, Figure 15

A first conductive film d1 formed of an ITO film with a film thickness of 1400 angstrom is provided by sputtering process. After the photographic process, the first conductive film d1 is selectively etched by a mixed acid solution of hydrochloric acid and nitric acid as an etchant, thereby forming a gate terminal GTM, the uppermost layer of the drain terminal DTM and a transparent pixel electrode IT01.

[0083]

Process H, Figure 15

A second conductive film d2 formed of Cr with a film thickness of 600 angstrom is provided by sputtering process, and further a third conductive film d3 formed of Al-Pd, Al-Si, Al-Si-Ti, Al-Si-Cu with a film thickness of 4000 angstrom is provided by sputtering process. After the photographic process, the third conductive film d3 is etched by the solution similar to that of the process B, the second conductive film d2 is etched by the solution similar to that of the second conductive film d2 by the solution similar to that of the process A, thereby forming a video signal line DL, a source electrode SD1, and a drain electrode SD2. Subsequently,  $\text{CCl}_4$  and  $\text{SF}_6$  are introduced into a dry etching device to etch an N(+) type amorphous Si film, thereby selectively removing the N(+) type semiconductor layer d0 between the source and the drain.

[00084]

Process I, Figure 15

Ammonium gas, gaseous silane and gaseous nitrogen are introduced into plasma CVD device to provide a silicon nitride film with a film thickness of  $1\mu\text{m}$ . After the photographic process, the silicon nitride film is selectively etched by photo-etching technology using  $\text{SF}_6$  as dry etching gas, thereby forming a protective film PSV1.



[0085]

<General configuration of liquid crystal display module>

Fig. 16 is an exploded perspective view showing the components of a liquid crystal display module MDL.

[0086]

The reference sign SHD is a frame-like shield case (a metal frame) made of a metal plate, LCW is a display window, PNL is a liquid crystal panel, SPB is a light diffuser, MFR is an intermediate frame, BL is a backlight, BLS is a backlight support, and LCA is a lower case. As shown in the drawing, the respective members are stacked in the vertical disposition relationship to assemble a module MDL.

[0087]

The module MDL is fixed as a whole by a claw CL mounted on the shield case SHD and a hook FK.

[0088]

The intermediate frame MFR is formed like a frame to be provided with an opening corresponding to the display window LCW, and the frame part is provided with the diffuser SPB, the backlight support BLS, projecting and recessed parts corresponding to the shape and thickness of various circuit parts, and a radiating opening.

[0089]

The lower case LCA also serves as a reflector of light of a backlight, and a reflecting mountain RM is formed

corresponding to a fluorescent lamp BL to perform efficient reflection.

[0090]

<Display panel PNL and driving circuit board PCB>

Fig. 17 is a top view showing the condition where the video signal driving circuits He, Ho and the vertical scanning circuit V are connected to the display panel PNL shown in Fig. 5.

[0091]

The reference sign CH1 is a driving IC chip for driving the display panel PNL (the three lower chips are driving IC chips of the vertical scanning circuit side, and six chips each for the right and the left are driving IC chips of the video signal driving circuit side. TCP is a tape carrier package where a driving IC chip CH1 is packaged by tape automated bonding method as mentioned later in Fig. 18 and Fig. 19, and PCB1 is a driving circuit board where the above TCP and a capacitor CDS are packaged, which is divided into three parts. FGP is a frame ground pad, to which a spring-like fragment FG provided in the shield case SHD by slitting is soldered. FC is a flat cable for electrically connecting the left driving circuit board PCB1, the lower driving circuit board PCB1 and the right driving circuit board PCB1. As the flat cable FC, as shown in the drawing, used is a plurality of lead wires (raw material of phosphor bronze plated with Sn), which are

sandwiched between the striped polyethylene layer and the polyvinyl alcohol layer and supported.

[0092]

<Connecting structure of TCP>

Fig. 18 is a diagram showing the sectional structure of a tape carrier package TCP in which a flexible wiring board is loaded with an integrated circuit chip CHI constituting the scanning signal driving circuit V and the video signal driving circuits He, Ho, and Fig. 19 is a sectional view of the principal part showing the condition where the tape carrier package is connected to the terminal DTM for the video signal circuit in the present embodiment of the liquid crystal display panel.

[0093]

Fig 18 corresponds to the sectional view in XVIII to XVIII line of Fig. 1 mentioned later.

[0094]

In the drawing, TTB is an input terminal and wiring part of the integrated circuit CHI, TTM is an output terminal and wiring part of the integrated circuit CHI, which are formed of Cu, for example, and the bonding pad PAD of the integrated circuit CHI is connected to the respective inner tip parts thereof (called inner leads) by face-down bonding method. The outer tip parts (called outer leads) of the terminals TTB, TTM are respectively connected to the CRT/TFT conversion circuit and power supply circuit SUP by soldering corresponding to the

input and output of the semiconductor integrated circuit chip CHI, and to the liquid crystal display panel PNL by an anisotropic conductive film ACF. The package TCP is connected to the panel so that the tip part covers the protective film PSV1 exposing the panel PNL side connecting terminal DTM, so that the external connecting terminal DTM(GTM) is covered with at least one of the protective film PSV1 or the package TCP to have a resistance to electric corrosion.

[0095]

BF1 is a base film made of polyimide or the like, and SRS is a solder resist film for masking to prevent solder from sticking to an extra part in soldering. The gap of the upper and lower glass substrates outside the sealing pattern SL is protected by epoxy resin EPX after cleaning, and further silicon resin SIL is injected between the package TCP and the upper substrate SUB2 to multiplex protection.

[0096]

Fig. 1 is a plan view of the package TCP, and a resin film PRE shown in Fig. 18 is omitted.

[0097]

In Fig. 1, a base film BF1 is provided, and provided with a hole 100 formed in an area for positioning the semiconductor integrated circuit chip CH1.

[0098]

In this case, the semiconductor integrated circuit chip

CH1 is so constructed that a pad group PAD1 of the input terminal side and a pad group PAD2 of an output terminal side are formed in the bonding pad PAD.

[0099]

Among them, the number of pads of the pad group PAD1 is small, and the clearance between them is large. The number of pads of the pad group PAD 2 is large, and the clearance is small. The pad group PAD1 is disposed adjacent to and along one side of the semiconductor integrated circuit chip CHI surface. The pad group 1 is positioned on the opposite side, and positioned in a position away from the opposite side, that is, in the substantially central part of the semiconductor integrated circuit chip CHI.

[0100]

In the pad group PAD1 of the semiconductor integrated circuit CH1, each pad is bonded in the tip part called the inner lead in the wiring layer formed on the surface of the base film BF1, and the outer lead, which is the other end of the wiring layer, is disposed as an output terminal TTB in one side part of the base film BF1.

[0101]

In the pad group PAD2, each pad is similarly bonded at the tip part called the inner lead in the wiring layer formed on the surface of the base film BF1, and the outer lead, which is the other end of the wiring layer, is disposed as an output

terminal TTM in one side part of the base film BF1.

[0102]

A film piece FC is disposed between one side part of the semiconductor integrated circuit CH1 on the side where the pad group PAD 2 is formed and the pad group PAD2, and the insulating protection between the principal surface of the semiconductor integrated circuit CH1 and the wiring layer is attained by the film piece FC.

[0103]

The technical effect produced by that the pad group PAD2 is positioned substantially in the center of the surface of the semiconductor integrated circuit chip CH1 as described above will now be described.

[0104]

Fig. 21 is a diagram showing the positional relationship between the pad group PAD2, the output terminal TTM and the wiring positioned between them.

[0105]

In the drawing, when the clearance of each pad of the pad group PAD2 is T, the clearance of the respective output terminals TTM, for example in N-number terminals, is U, the wiring pitch between them is G, the height of the wiring, that is, the clearance H between the pad group PAD2 and the output terminal (group) TTM is expressed by the following relationship.

[0106]

$$H = (N/2 - 1/4) \cdot (U - T) \tan(\sin(G/U))$$

H is the minimum value determined by the above expression, and the width cannot be reduced more than it.

[0107]

Accordingly, the disposition position of the pad group PAD2 is shifted from one side part of the semiconductor integrated circuit CH1 toward the center by I, whereby the base film BF1 can be reduced in width by the length corresponding thereto.

[0108]

Thus, the package TCP itself can be reduced in size.

[0109]

When the package TCP can be thus reduced in size, the effect of reducing the periphery of the liquid crystal display panel PNL, that is, the area of the space not contributing to display (called a frame) is produced.

[0110]

Although the above description of the embodiment deals with the case where the pad group PAD2 is positioned substantially in the center of the surface of the semiconductor integrated circuit CH1, it is known that when the width of the semiconductor integrated circuit CH1 is W as shown in Fig. 21, for example, it will be effective to separate from one side part to have the relationship expressed by  $L \geq 1/4W$ .

[0111]

Although only one pad group PAD2 of the pad groups PAD1, PAD2 disposed opposite to each other is positioned substantially in the center of the semiconductor integrated circuit in the above embodiment, this is not restrictive, but it goes without saying that the pad group PAD1 may be similarly done.

[0112]

<Driving circuit board PCB2>

The driving circuit board PCB2 of the liquid crystal display part LCD held and stored in an intermediate frame MFR is, as shown in Fig. 31, L-shaped, and loaded with electronic parts such as an IC, a capacitor, and a resistor. The driving circuit board PCB2 is loaded with a circuit SCP including a power supply circuit for obtaining a plurality of divided and stabilized voltage source from one voltage source and a circuit for converting the information for CRT (cathode ray tube) from a host (a host processor) to the information for the TFT liquid crystal display device. CJ is a connector joint part to which a connector not shown and connected to the external is joined. The driving circuit substrate PCB2 and an inverter circuit board PCB3 are electrically connected to each other by a backlight cable through a connector hole provided in the intermediate frame MFR.

[0113]



The driving circuit board PCB1 and the driving circuit board PCB2 are electrically connected to each other by a bendable flat cable FC. In assembling, the driving circuit board PCB2 is superposed on the back of the driving circuit board PCB1 by bending the flat cable FC in a 180-degree arc, and fitted to a predetermined recessed part of the intermediate frame MFR.

[0114]

[Advantage of the Invention]

According to the invention, as described above, the semiconductor device can be further reduced in size.

[Brief Description of the Drawings]

Fig. 1 is a plan view showing one embodiment of a semiconductor device according to the invention;

Fig. 2 is a plan view of the principal part showing one pixel and its periphery of a liquid crystal display part of an active matrix type color liquid crystal display device to which the invention is applied;

Fig. 3 is a sectional view showing one pixel and its periphery in a cutting plane line 3 -3 of Fig. 2;

Fig. 4 is a sectional view of an additive capacitor Cadd in a cutting plane line 4 -4 of Fig. 2;

Fig. 5 is a plan view for explaining the configuration of the matrix peripheral part of a display panel;

Fig. 6 is a plan view of a panel for further concretely explaining the peripheral part of Fig. 5 a little exaggeratedly;

Fig. 7 is an enlarged plan view of the corner part in a display panel including the electric connecting part of the upper and lower substrates;

Fig. 8 is a sectional view showing the pixel part of a matrix in the center and the vicinity of a panel corner part and the vicinity of a video signal terminal part on both sides;

Fig. 9 is a sectional view showing a scanning signal terminal on the left and a panel edge part without an external connecting terminal on the right;

Fig. 10 is a plan view and a sectional view showing the vicinity of a connecting part between a gate terminal GTM and a gate wiring GL;

Fig. 11 is a plan view and a sectional view showing the vicinity of a connecting part between a drain terminal DTM and a video signal line DL;

Fig. 12 is a circuit diagram including a matrix part of an active matrix type color liquid crystal display device and its periphery;

Fig. 13 is a flowchart of sectional views of a pixel part and a gate terminal part showing the manufacturing processes A to C on the substrate SUB1 side;

Fig. 14 is a flowchart of sectional views of the pixel

part and the gate terminal part showing the manufacturing processes D to F on the substrate SUB1 side;

Fig. 15 is a flowchart of sectional views of the pixel part and the gate terminal part showing the manufacturing processes G to I on the substrate SUB1 side;

Fig. 16 is an exploded perspective view of a liquid crystal display module;

Fig. 17 is a top view showing the condition where a peripheral driving circuit is packaged in the liquid crystal display panel;

Fig. 18 is a diagram showing the sectional structure of a tape carrier package TCP in which a flexible wiring board is loaded with an integrated circuit chip CHI constituting the driving circuit;

Fig. 19 is a sectional view of the principal part showing the condition where the tape carrier package TCP is connected to the terminal DTM for the video signal circuit of the liquid crystal display panel PNL;

Fig. 20 is a top view showing the condition where the peripheral driving circuit board PCB1 (the top is seen) and the power supply circuit board PCB2 (the bottom is seen) are connected to each other; and

Fig. 21 is a diagram showing the technical effect of the semiconductor device according to the invention.

[Description of the Reference Numerals and Signs]

SUB: transparent glass substrate GL: scanning signal line DL: video signal line GI: insulating film GT: gate electrode AS: i-type semiconductor layer SD: source electrode or drain electrode PSV: protective film BM: light shielding film LC: liquid crystal TFT: thin film transistor ITO: transparent pixel electrode g, d: conductive film Cadd: storage capacitor element AOF: anodic oxide film AO: anodizing mask GTM: gate terminal DTM: drain terminal SHD: shield case PNL: liquid crystal display panel SPB: light diffuser MFR: intermediate frame BL: backlight BLS: backlight support LCA: lower case RM: backlight light reflecting mountain

FIGURE 2:

GL(g2): GATE LINE DL(d2, d3): DATA LINE GT(g2): DATA  
ELECTRODE AS (AMORPHOUS Si) SD2(d2, d3): DRAIN ELECTRODE  
SD1 (d2, d3): SOURCE ELECTRODE FIL: COLOR FILTER TFT1: THIN  
FILM TRANSISTOR ITO1(d1): PIXEL ELECTRODE Cadd: ADDITIVE  
CAPACITOR

FIGURE 10:

GTM: GATE TERMINAL GL: SCANNING SIGNAL LINE AO: ANODIZING  
MASK

FIGURE 12:

VIDEO SIGNAL DRIVING CIRCUIT

V: VERTICAL SCANNING CIRCUIT SUP: POWER SUPPLY CIRCUIT  
CRT→TFT CONVERSION CIRCUIT

FIGURE 13:

(A) Cr SPUTTERING FIRST PHOTO (Cr) Cr ETCH  
(B) Al SPUTTERING (g2) SECOND PHOTO (Al) Al ETCH  
(C) THIRD PHOTO (AO)  
ANODIC OXIDATION

FIGURE 14:

(D) CONTINUOUS CVD N-TYPE a-Si (d0)  
(E) FOURTH PHOTO (d0, AS)

Si ETCH

(F) FIFTH PHOTO (GI)

SiN ETCH

FIGURE 15:

(G) ITO SPUTTERING

SIXTH PHOTO (d1)

ITO ETCH

(H) Cr SPUTTERING

Al SPUTTERING

SEVENTH PHOTO

Al ETCH

Cr ETCH

a-Si ETCH

(I) EIGHTH PHOTO (PSV1)

SiN ETCH

FIGURE 16:

SHD: SHIELD CASE LCW: LIQUID CRYSTAL DISPLAY WINDOW PNL:  
LIQUID CRYSTAL DISPLAY PANEL PCB1: DRIVING CIRCUIT BOARD  
SPB: LIGHT DIFFUSER MPR: INTERMEDIATE FRAME PCB3: INVERTER  
CIRCUIT BOARD BLS: BACKLIGHT SUPPORT BL: FLUORESCENT TUBE  
FOR BACKLIGHT LD: LEAD WIRE LCA: LOWER CASE

FIGURE 17:

FGP: FRAME GROUND PAD   PNL: LIQUID CRYSTAL DISPLAY PANEL   COH:  
COMMON THROUGH HOLE   CHI:DRIVING IC CHIP   FC: FLAT CABLE  
PCB1: DRIVING CIRCUIT BOARD

FIGURE 18:

TTB: INPUT TERMINAL

FIGURE 19:

TCP: TAPE CARRIER PACKAGE   BFI: BASE FILM   TTM: OUTPUT TERMINAL  
BON: BOND   SRS: SOLDER RESIST   ACF: ANISOTROPIC CONDUCTIVE  
FILM

FIGURE 20:

BC2: BACKLIGHT CONNECTOR CONNECTING PART   PCB1: DRIVING  
CIRCUIT BOARD   PCB2: POWER SUPPLY CIRCUIT BOARD   CJ: CONNECTOR  
JOINT PART

Publication of Amendment (under Patent Law Section 17 (2))  
[Department and Section] Seventh Department Second Section  
[Issue Date] April 6, 2001  
[Publication Number] JP-A-7-135236  
[Publication Date] May 23, 1995  
[Serial Number of Year] Patent Publication Official Gazette  
7-1353

[Application Number] Hei-5-279657

[Int. Cl.<sup>7</sup>] H01L 21/60 311

[FI] H01L 21/60 311 R

[AMENDMENT]

[Date of Submission] March 28, 2000

[Amendment 1]

[Document Name of Object of Amendment] Specification

[Heading Name of Object of Amendment] Title of the Invention

[Amendment Method] Alteration

[Contents of Amendment]

[Title of the Invention] Liquid Crystal Display Device

[Amendment 2]

[Document Name of Object of Amendment] Specification

[Heading Name of Object of Amendment] Claims

[Amendment Method] Alteration

[Contents of Amendment]

[Claim 1] A liquid crystal display device, comprising  
a liquid crystal display panel and a driving circuit, wherein



the driving circuit includes: a flexible insulating substrate; and a semiconductor chip mounted on the flexible insulating substrate, an electrode pad group composed of a plurality of electrode pads juxtaposed in one direction is formed on the principal surface of the semiconductor chip, the flexible insulating plate surface is provided with a wiring layer group bonded to the respective electrode pads of the electrode pad group and led out as an external output terminal to the peripheral part, and the electrode pad group of the semiconductor chip is positioned in the substantially central part of the principal surface of the semiconductor chip.

[Amendment 3]

[Document Name of Object of Amendment] Specification

[Heading Name of Object of Amendment] 0001

[Amendment Method] Alteration

[Contents of Amendment]

[Industrial Field of Application]

This invention relates to a liquid crystal display device and particularly to the liquid crystal display device including a semiconductor device manufactured by the so-called tape carrier system.

[Amendment 4]

[Document Name of Object of Amendment] Specification

[Heading Name of Object of Amendment] 0007

[Amendment Method] Alteration

[Contents of Amendment]

[0007]

Accordingly, this invention has been made in the light of such circumstances and it is an object of the invention to provide a liquid crystal display device including a semiconductor device, which is further reduced in size.

[Amendment 5]

[Document Name of Object of Amendment] Specification

[Heading Name of Object of Amendment] 0008

[Amendment Method] Alteration

[Contents of Amendment]

[0008]

[Means for Solving the Problems]

In order to achieve the object, the invention provides a liquid crystal display device basically including a liquid crystal display panel and a driving circuit, wherein the driving circuit includes: a flexible insulating substrate; and a semiconductor chip mounted on the flexible insulating substrate, an electrode pad group composed of a plurality of electrode pads juxtaposed in one direction is formed on the principal surface of the semiconductor chip, and the flexible insulating plate surface is provided with a wiring layer group

bonded to the respective electrode pads of the electrode pad group and led out as an external output terminal to the peripheral part, and the semiconductor device is characterized in that the electrode pad group of the semiconductor chip is positioned in the substantially central part of the principal surface of the semiconductor chip.

[Amendment 6]

[Document Name of Object of Amendment] Specification

[Heading Name of Object of Amendment] 0015

[Amendment Method] Alteration

[Contents of Amendment]

[0015]

Accordingly, it is possible to obtain the liquid crystal display device including the semiconductor device reduced in size.

[Amendment 7]

[Document Name of Object of Amendment] Specification

[Heading Name of Object of Amendment] 0014

[Amendment Method] Alteration

[Contents of Amendment]

[0014]

[Advantage of the Invention]

According to the invention, as described above,

it will be apparent that the liquid crystal display device includes the semiconductor device further reduced in size.

[Amendment 8]

[Document Name of Object of Amendment] Specification

[Heading Name of Object of Amendment] Figure 1

[Amendment Method] Alteration

[Contents of Amendment]

Fig. 1 is a plan view showing one embodiment of a semiconductor device provided in a liquid crystal display device according to the invention.